CIU32L071/051 应用开发指南

应用笔记

AN1016

北京中电华大电子设计有限责任公司
CEC Huada Electronic Design Co.,Ltd

声　明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权利。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已经核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

目录

1 简介 6

2 参考文档 6

3 硬件设计指南 6

3.1 V_{BAT} 使用注意事项 6

3.2 VREFBUF 使用注意事项 8

3.3 LCD 使用建议 8

3.4 按键电路设计注意事项 10

3.5 大功率应用场景硬件设计注意事项 10

3.6 GPIO 中断资源分配注意事项 10

4 软件设计指南 11

4.1 ADC 使用注意事项 11

4.1.1 Debug 调试注意事项 11

4.1.2 使用 V_{BGR} 计算 V_{DD} 电压时的注意事项 12

4.1.3 内部温度传感器使用注意事项 13

4.2 提高 RCH 时钟精度的方法 13

4.3 Stop 模式待机功耗优化建议 13

4.4 与自适应波特率 UART 接口设备通信的配置建议 15

5 ESD 防护设计指南 16

5.1 对外接口防护建议 16

5.2 V_{CORE} 引脚防护建议 16

5.3 USB（Type C）供电接口设计建议 17

5.4 金属外壳产品提升 ESD 抗干扰能力的设计建议 17

6 生产注意事项 18

6.1 选项字节配置注意事项 18

6.2 避免过高电压触碰 I/O 19

7 版本历史 20

表目录

表 7-1 版本更改履历..... 20

图目录

图 3-1 V_{BAT} 模式典型应用电路 6
图 3-2 非 V_{BAT} 模式典型应用电路 7
图 3-3 DC-DC 供电同时使用 V_{BAT} 模式建议开启 BOR 7
图 3-4 V_{BAT} 域 GPIO 避免用于对外接口 7
图 3-5 V_{REF+} 引脚外接 1μF+0.1μF 电容 8
图 3-6 电荷泵模式典型应用电路 8
图 3-7 片内电阻分压模式 9
图 3-8 按键退耦电容串联电阻 10
图 3-9 大功率应用场景接地设计示意 10
图 3-10 EXTI 多路复用器 11
图 4-1 ADC 调试注意事项示意 12
图 4-2 使能 V_{BGR} 后延时 30μs 等待 BGR 稳定 12
图 4-3 使能 V_{BGR} 内部通道后延时 15μs 等待通道稳定 12
图 5-1 对外接口串联电阻示意 16
图 5-2 V_{CORE} 引脚串联电阻提升 ESD 抗干扰能力 17
图 5-3 TypeC 接口外壳接地示意 17
图 6-1 烧录无需配置选项字节 18
图 6-2 烧录配置选项字节 18
图 6-3 过压触碰场景示意 19

1 简介

本文档详细介绍了 CIU32L071/051 超低功耗安全 MCU 应用开发过程中的注意事项，并针对特定应用场景提供了参考示例，方便用户快速开发。

2 参考文档

参考手册：

- 《RM1005_CIU32L071xBxC 参考手册》
- 《RM1006_CIU32L051x8 参考手册》

数据手册：

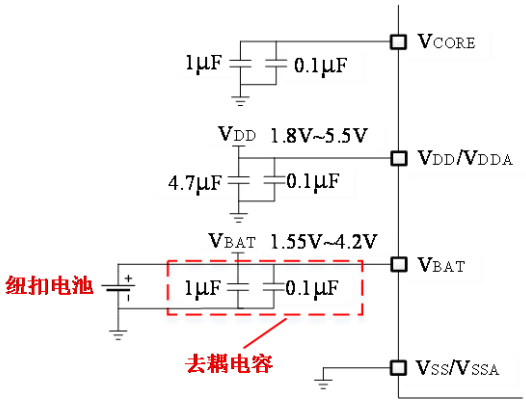
- 《DS1003_CIU32L071xBxC 数据手册》
- 《DS1007_CIU32L051x8 数据手册》

3 硬件设计指南

3.1 V_{BAT} 使用注意事项

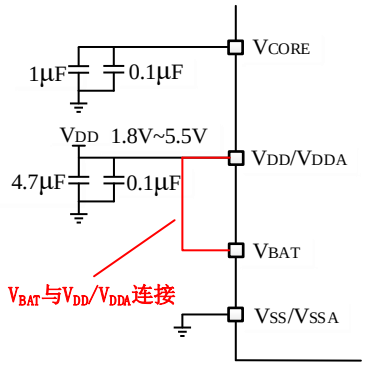
V_{BAT} 模式（MCU 出厂默认即使能 V_{BAT} 模式），选项字节 2 寄存器（FLASH_OPTR2）的 VBAT_MODE_EN 位配置为 1，V_{BAT} 引脚连接备份电源，必须外接 1μF+0.1μF 去耦电容，典型应用电路如下：

图 3-1 V_{BAT} 模式典型应用电路



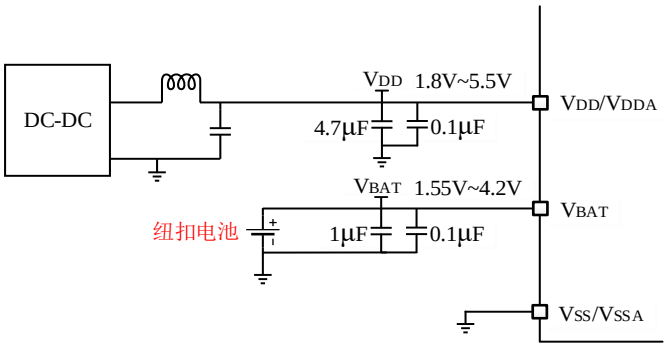
非 V_{BAT} 模式，V_{BAT} 引脚与 V_{DD}/V_{DDA} 引脚连接，典型应用电路如下：

图 3-2　非 V_{BAT} 模式典型应用电路



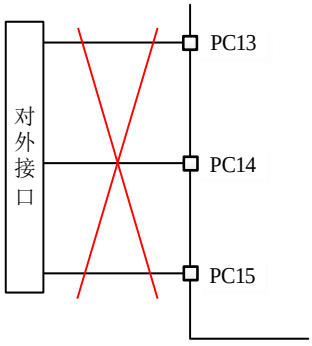
在 MCU V_{DD} 使用 DC-DC 等噪声干扰较大的电源供电，同时使用 V_{BAT} 模式的应用场景中。建议通过选项字节配置 BOR_EN 为 1 使能 BOR，在 V_{DD} 下电过程中使芯片在较高的电压下提前复位，减小板级及 MCU 自身功耗，降低下电过程中开关电源噪声合并芯片内部瞬态高功耗对 VCORE 电源的冲击。

图 3-3　DC-DC 供电同时使用 V_{BAT} 模式建议开启 BOR



PC13、PC14、PC15 为 V_{BAT} 备份电源域 I/O，通过 V_{BAT} 开关供电，受限于开关供电能力，驱动能力及抗电源干扰冲击能力相对较弱，应避免用于板级对外接口。

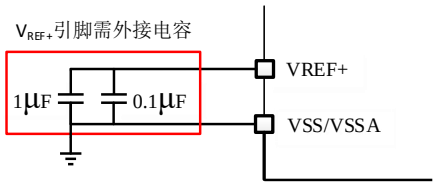
图 3-4　V_{BAT} 域 GPIO 避免用于对外接口



3.2 VREFBUF 使用注意事项

芯片内置 VREFBUF，作为高精度基准电压源，可为 ADC 提供高精度参考电压、可为 6bit DAC（64 级分压参考源）提供输入电压。使用 VREFBUF 时，需在 VREF+引脚外接电容（1μF+0.1μF），同时软件使能 BGR 并等待其稳定，如下图所示：

图 3-5 V_{REF+}引脚外接 1μF+0.1μF 电容

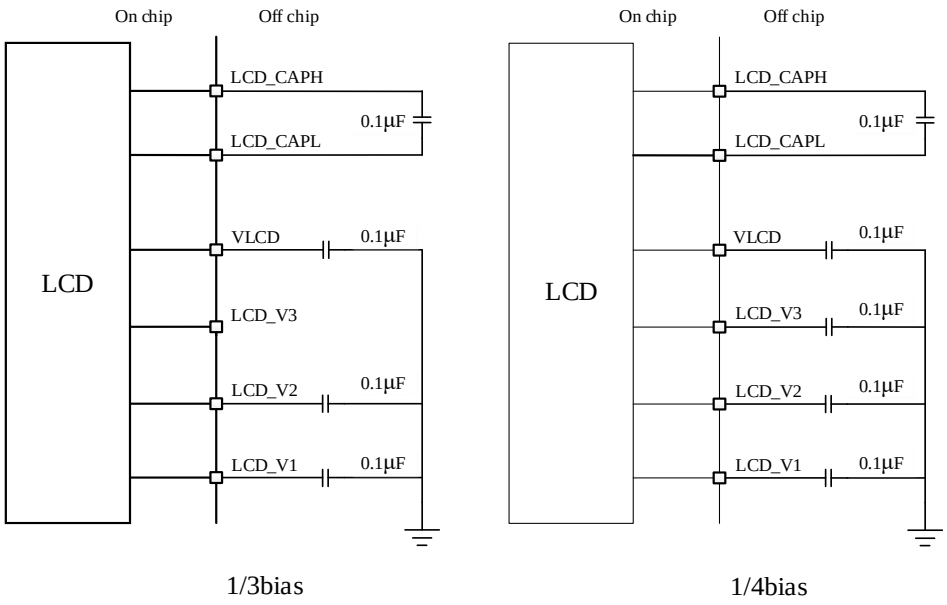


3.3 LCD 使用建议

不同应用场景下 LCD 工作模式建议：

1) 在使用电池直接供电或 VDD 抖动严重的场景中，为保证 LCD 显示效果不受供电电压下降或抖动的影响，建议使用电荷泵模式。电荷泵模式驱动能力强，升压可高于 VDD 且不随 VDD 变化，最高可达 5.25V。电荷泵模式典型应用电路如下：

图 3-6 电荷泵模式典型应用电路

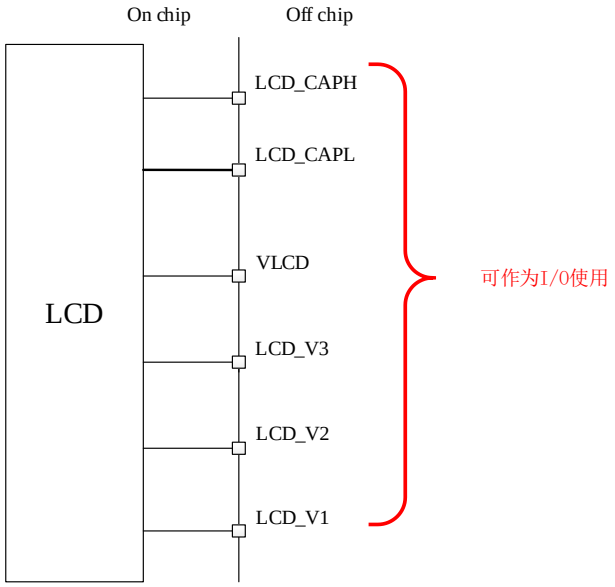


注：1/3bias 时 LCD_V3 复用为 GPIO。

2) 在对显示效果要求不高的 4COM 的 LCD 屏幕场景中，为节省 IO 资源与板

级 BOM，建议使用内部电阻分压模式。内部电阻分压模式下支持 16 级对比度可调，可动态切换高低驱，免除外部电容，提高 I/O 利用率。

图 3-7　片内电阻分压模式



3) 在对显示效果要求较高的场景中，建议使用电荷泵模式。若需节省 I/O 资源，推荐选择 6COM、8COM 的 LCD 屏幕。电荷泵模式驱动能力强，升压可高于 VDD 且不随 VDD 变化，最高可达 5.25V，保障 6COM、8COM 的 LCD 达到良好显示效果。

LCD 电荷泵时钟及帧速率配置建议：

1) 电荷泵时钟分频：通过配置 LCD 控制寄存器（LCD_CR）的 CPDIV[2:0]位可对电荷泵模式下的时钟分频比进行配置。减小时钟分频，可提升显示对比度，同时带来功耗的增加；增大时钟分频，可以降低 LCD 的显示功耗。为降低功耗，同时兼顾显示效果，建议电荷泵时钟分频值配置为≥16 分频。

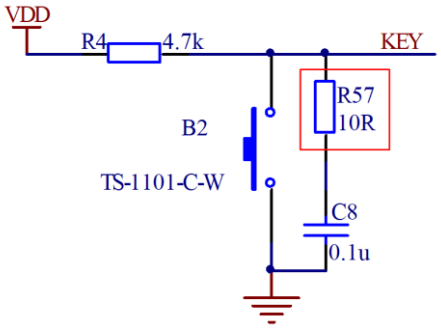
2) 帧速率：通过 LCD 帧控制寄存器（LCD_FCR）的 PS[2：0]位与 DIV[3:0]位可配置 LCD 显示帧速率，配置方法参见相应产品参考手册的 17.3.5 章节帧速率部分内容。帧速率配置的越大，显示效果提升，同时带来功耗增加；降低帧速率配置，则可降低显示功耗。可结合实际场景进行调整达到显示效果与功耗的平衡，推荐配置如下：

- 4COM 显示屏，帧速率 32Hz；
- 8COM 显示屏，帧速率 64Hz。

3.4 按键电路设计注意事项

设计按键电路时，建议在与按键并联的退耦电容上串联 10Ω。如此可防止按键按下时，退耦电容放电瞬间产生负向脉冲，干扰芯片正常工作。

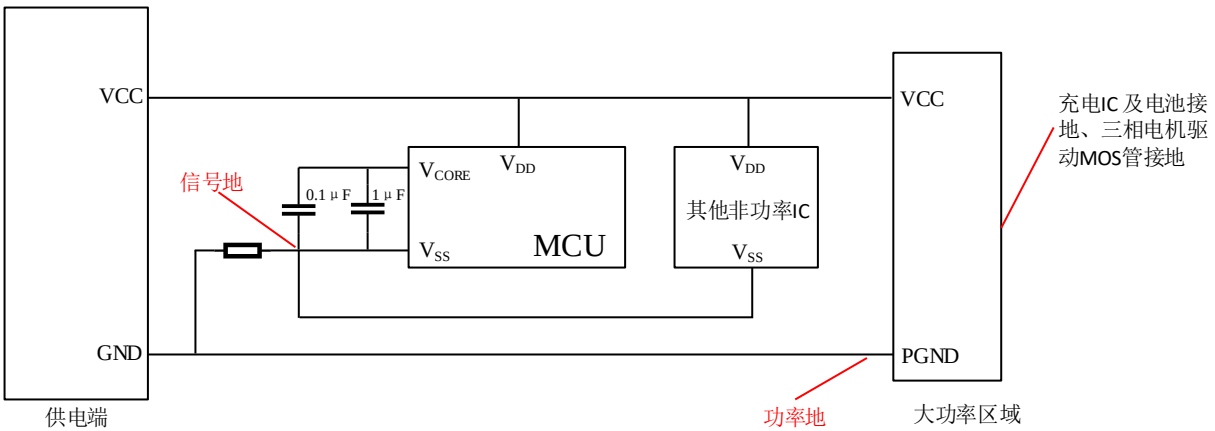
图 3-8 按键退耦电容串联电阻



3.5 大功率应用场景硬件设计注意事项

在大功率应用场景下，如大功率充电（PD 协议快充）、驱动电机时发生堵转等，板级硬件设计应注意接地的规范性。大功率区域的功率地（PGND）与信号地应做单点连接处理，避免功率地（PGND）的电流振荡通过 V_{CROE} 引脚干扰到 MCU 的内核电压。示意如下图：

图 3-9 大功率应用场景接地设计示意

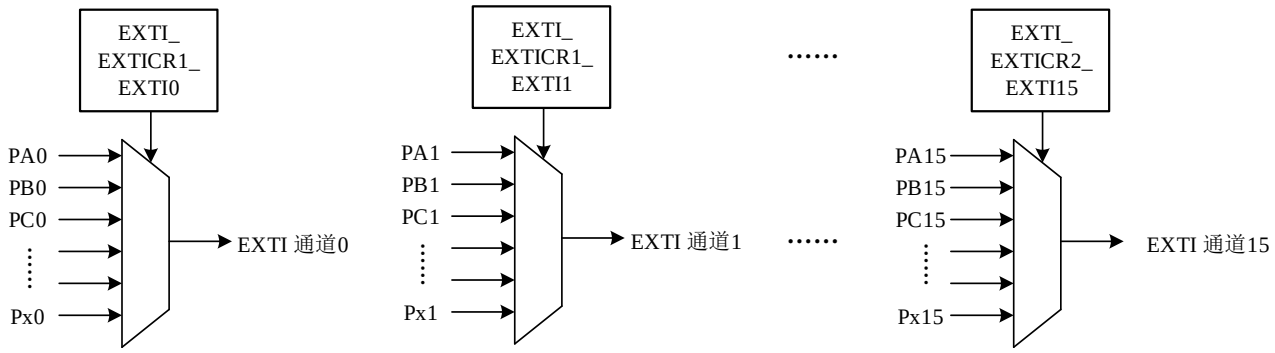


3.6 GPIO 中断资源分配注意事项

由于存在多路 GPIO 共享一路 EXTI 中断的情况，因此电路设计时应避免在同一 EXTI 通道上分配多路 GPIO 中断，否则仅能选择一路 GPIO 中断有效。

如下图：PA0、PB0…PF0，硬件设计上只能选择一路 GPIO 分配 EXTI0 中断功能。

图 3-10　EXTI 多路复用器



4　软件设计指南

4.1　ADC 使用注意事项

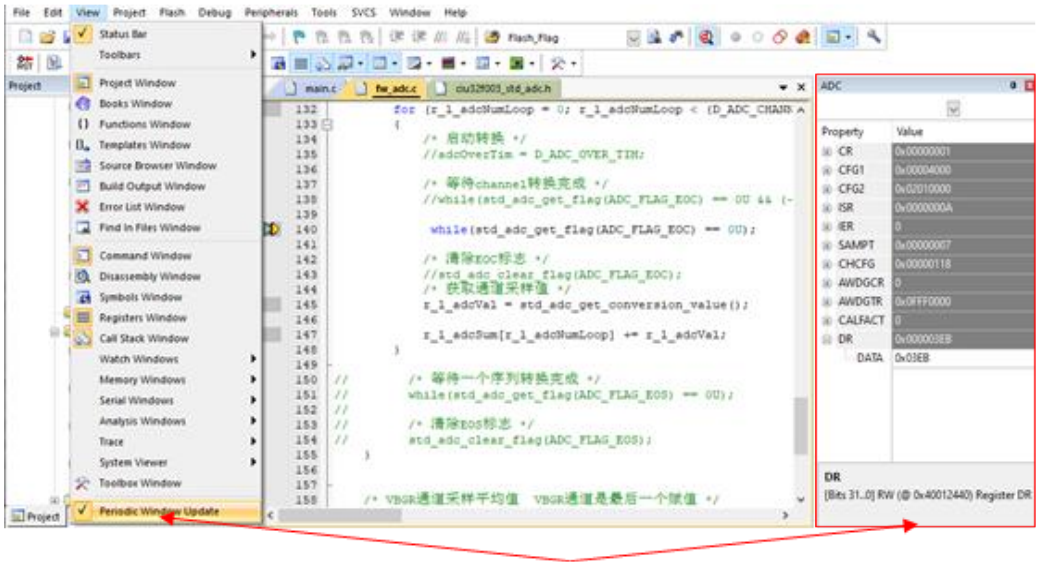
4.1.1　Debug 调试注意事项

在使用仿真器调试 ADC 功能时，如果打开了 ADC 外设观察窗口的同时又开启了周期更新窗口功能，调试内核会周期性读取 ADC 数据寄存器，导致 EOC 被调试内核清除掉了，程序执行出现非预期的现象如：

- 程序在启动 ADC 转换后无法读取到 EOC 标志。
- 程序设置了 ADC 通道序列转换和自动等待模式，可能丢失转换的 ADC 通道数。

建议在 Debug 模式下启动 ADC 转换时不要同时打开 ADC 外设观察窗口和开启周期更新窗口功能，以避免 EOC 被调试内核非预期的清除掉，如果要观察 ADC 转换数据，可以通过程序设置变量来读取 ADC 数据寄存器，通过观察变量来反映 ADC 转换数据。

图 4-1　ADC 调试注意事项示意



4.1.2　使用 V_{BGR} 计算 V_{DD} 电压时的注意事项

MCU 内部带隙基准电压（BGR，典型电压 1.2V）可作为 ADC 的内部输入通道，当 ADC 使用 V_{DD} 作为参考电压时，可通过采集 V_{BGR} 来计算 V_{DD} 电压，具体步骤参见产品参考手册“内部带隙基准电压检测”章节。使用此方法时有以下注意事项：

- 使能 V_{BGR} 时，根据数据手册 BGR 启动时间（t_{START}）要求，需延时时 30μs，等待 BGR 稳定。

图 4-2　使能 V_{BGR} 后延时 30μs 等待 BGR 稳定

```
/* 使能VBGR */
std_pmu_bgr_enable();

/* 等待BGR稳定 */
std_delayus(BGR_RDY_DELAY);
```

- 使能 ADC 内部输入通道 V_{BGR} 时，根据数据手册 ADC 内部通道 VBGR Buffer 的启动时间（t_{ADC_BUF}）要求，需延时 15 μ s，等待通道稳定。

图 4-3　使能 V_{BGR} 内部通道后延时 15μs 等待通道稳定

```
/* 使能通道VBGR */
std_adc_internal_channel_enable(ADC_INTERNAL_CHANNEL_VBGREN);

/* 等待内部通道的启动稳定时间
   VBGR通道启动稳定时间                    15US
   VTS通道启动稳定时间                     18US
   VBAT_DIV3和VDDA_DIV3通道启动稳定时间    15US
   配置多个内部通道时，等待最大启动稳定时间即可
*/
std_delayus(ADC_VBGR_CHANNEL_DELAY);
```

- 根据数据手册中 ADC 测量内部通道 V_{BGR} 的采样时间（t_{SAMP}）要求，ADC 采样时长应至少大于 5μs（t_{SAMP_Min}），当 ADC 采样时钟为 16MHz 时，采样周期应配置为 119CLK(7.438μs)。

4.1.3 内部温度传感器使用注意事项

MCU 内置的温度传感器（TS），用于测量芯片的结温（TJ），具体使用步骤参见产品参考手册“温度传感器”章节，根据参考手册给出的公式计算采样温度时，需要注意：

$$\text{Temperature（℃）} = \frac{85℃-25℃}{TS_{CAL_85} - TS_{CAL_25}} \times (TS_{DATA} - TS_{CAL_25}) + 25℃$$

公式中 TS_{CAL_25}、TS_{CAL_85} 是参考电压为 3.3V 时，在对应温度下的温度传感器转换值，因此带入公式的 TS_{DATA} 应将实际采样值转换为 3.3V 参考电压下对应的值。如，在 5V 参考电压下采样值为 TS_{DATA_5V}，$TS_{DATA} = TS_{DATA_5V} \times \frac{5}{3}$。

4.2 提高 RCH 时钟精度的方法

根据产品在智能表计行业的应用经验，推荐在使用 LXTAL 的应用中，对 RCH 时钟进行校准，可在上电初始化时校准或根据需要周期性校准，这样可以进一步提高 RCH 的时钟精度。

校准方法为以 RCH 作为 Timer 计时时钟，使用 Timer 捕获 LXTAL 进行校准，完成校准后将校准值写入 RCH 的校准寄存器。校准后的 RCH 时钟精度可达±0.4%。具体实现参见 SDK 的“RCC_RCH_Calibration” Example。

4.3 Stop 模式待机功耗优化建议

为降低产品整机的待机功耗，建议按照以下步骤对整机功耗进行优化：

1、 检查 MCU 与外设连接的 I/O，避免存在 MCU 的 I/O 电平与外设不匹配，或上下拉配置不合理导致的漏电。

2、 方案设计中未用到的空余 I/O，建议保持默认模拟状态，切勿配置为无上下拉的输入模式，避免 I/O 处于中间电平导致静态功耗增加。

3、 电荷泵时钟分频用于平衡 LCD 功耗和显示效果，鉴于电荷泵时钟为 16 分频时驱动能力已足够，建议参考 SDK 中 LCD 电荷泵相关 Example 将电荷泵时钟分频配置为 16，以保证显示效果同时降低 LCD 显示功耗。如果有进一步降低功耗的需求，可根据实际显示效果，进一步增大电荷泵时钟的分频值。

4、 关闭待机状态下无需维持工作的外设，如在待机状态无需 LCD 常显的场景中，可通过依次调用 SDK 中以下库函数关闭 LCD 控制器以降低功耗：

```
/* LCD 外设禁止 */
std_lcd_disable();
/* 判断 LCD 外设禁止状态*/
while(std_lcd_get_flag(LCD_FLAG_ENS))
{
}
/* 禁止 LCD 外设时钟 */
std_rcc_apb1_clk_disable(RCC_PERIPH_CLK_LCD);
```

唤醒显示时调用以下库函数将 LCD 控制器重新使能即可：

```
/* 使能 LCD 外设时钟 */
std_rcc_apb1_clk_enable(RCC_PERIPH_CLK_LCD);
/* LCD 外设使能 */
std_lcd_enable();
```

5、 ADC 和 TS（温度传感器）在 Stop 模式下虽然无法工作，但仍会产生功耗，应该进入 Stop 前，关闭这些外设。如果 ADC 使能了内部采集通道，如 $V_{BAT}/3$、$V_{DDA}/3$ 及 BGR，还需要在进入 Stop 前关闭这些通道。

6、 待机状态下，所有外设及其关联外设均不使用 VREFBUF 和 BGR 的情况下，在 MCU 进入 Stop 模式之前，应依次调用以下函数关闭 VREFBUF 与 BGR：

```
/* 禁止 VREFBUF */
std_vrefbuf_disable();
/* 禁止 BGR */
std_pmu_bgr_disable();
/*关闭 PMU 外设时钟*/
std_rcc_apb1_clk_disable(RCC_PERIPH_CLK_PMU);
/*关闭 VREFBUF 外设时钟*/
std_rcc_apb2_clk_disable(RCC_PERIPH_CLK_SYSCFG);
```

如果应用场景中需通过比较器进行休眠唤醒，以下两种情况需要注意：

- 比较器反向输入端选择了 V_{BGR}，此时不可关闭 BGR，否则无法唤醒。
- 当比较器反向输入端选择了 6bit DAC，且 6bit DAC 分压源选择了 VREFBUF，VREFBUF 与 BGR 均不可关闭，否则无法唤醒。

7、 对于非 Stop 模式唤醒源的外设中断（包括不具备唤醒能力的外设以及具备唤醒能力但未配置为唤醒源的外设），虽然其无法将 MCU 从 Stop 模式

唤醒，但在 MCU 进入 Stop 模式的过程中，一旦产生了中断会打断 MCU 进入 Stop 的流程，导致 MCU 当次不再进入 Stop 模式。如果此情况会对应用产生影响，建议代码实现上，在 MCU 进入 Stop 模式前，将这些非唤醒源外设中断关闭，唤醒后再将这些外设的中断重新使能。

4.4 与自适应波特率 UART 接口设备通信的配置建议

UART 自适应波特率的检测方法有以下四种模式：

- 模式 0：任何以“1”开头的字符：

  此模式下，接收端只检测起始位的持续时间（从下降沿到上升沿），然后以起始位的持续时间来计算波特率，后面数据都以此波特率来接收，使用此模式计算的波特率为四种模式中偏差最大的；

- 模式 1：任何以“10xx”开头的字符：

  此模式下，接收端检测起始位和第一个数据位的持续时间（从下降沿到下降沿），然后取平均值作为最终的波特率接收后续数据，计算的波特率偏差较模式 0 小；

- 模式 2：以“0x7F”开头的字符：

  此模式下，接收端检测起始位的持续时间和第六个数据位的持续时间（从下降沿到下降沿），然后取平均值作为最终的波特率接收后续数据，计算的波特率偏差小于模式 0 与模式 1。

- 模式 3：以“0x55”开头的字符：

  此模式下，接收端检测起始位、第一个数据位（从下降沿到下降沿）和第六个数据的持续时间，然后取平均值作为最终的波特率接收后续的数据，四种模式中，此模式计算的波特率偏差最小。

CIU32L071/051 产品可兼容上述模式 1~模式 3。

如果 MCU 的对端通信设备为自适应波特率模式 0，即只计算起始位脉宽作为后续通信波特率。当 MCU 使用外部低速时钟 LXTAL 作为 LPUART 的通信时钟源，以 9600 波特率进行通信，由于波特率生成时，分频存在小数部分，而小数部分的调整是在一个完整的字节中实现的，如果仅通过起始位计算波特率存在的偏差较大，易产生误码。

针对与自适应波特率模式 0 的设备（如部分 NB 模组）通信误码的问题有以下

两种解决方案：

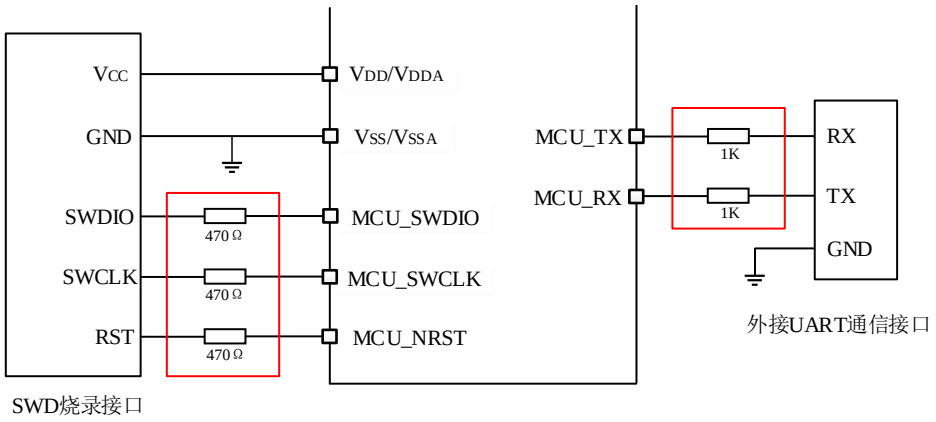
- 建议用户使用 UART 接口。
- 如使用场景有休眠唤醒需求，使用 LPUART 接口时，建议将通信时钟配置为 RCH，可规避此问题。
- 如应用场景中需降低通信过程中的功耗，可使用 LPUART 接口，并在每一轮通信 MCU 发送第一个字节时，将通信时钟配置为 RCH，以保证对端设备波特率识别正确，后续通信可将通信时钟配置为 LXTAL 以降低功耗。

5 ESD 防护设计指南

5.1 对外接口防护建议

方案设计中，对于对外暴露可能接触静电的 IO 接口，如 SWD 烧录接口，与板外通信的 UART 接口等，建议在 I/O 与板级对外接口之间串联电阻，避免接口带电热拔插引入过压冲击影响芯片 I/O。串联电阻的阻值在不影响功能的前提下应尽量大，SWD 烧录接口建议串联电阻的阻值为 470Ω。

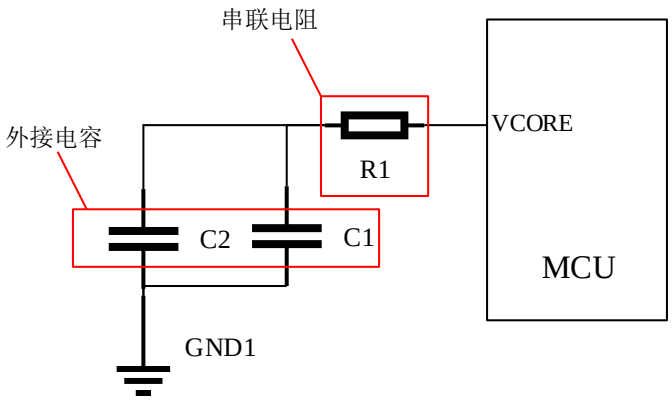
图 5-1 对外接口串联电阻示意



5.2 V_{CORE} 引脚防护建议

MCU V_{CORE} 引脚需外接 0.1μF+1μF 对地电容，否则芯片无法正常工作。在 EMC 干扰恶劣的环境中，在 V_{CORE} 引脚与外接对地电容之间串入 10Ω 电阻，可有效防止从地线串入的干扰信号进入芯片干扰 V_{CORE} 电压，以显著提高产品板级的 EMC 抗干扰能力。参考如下图：

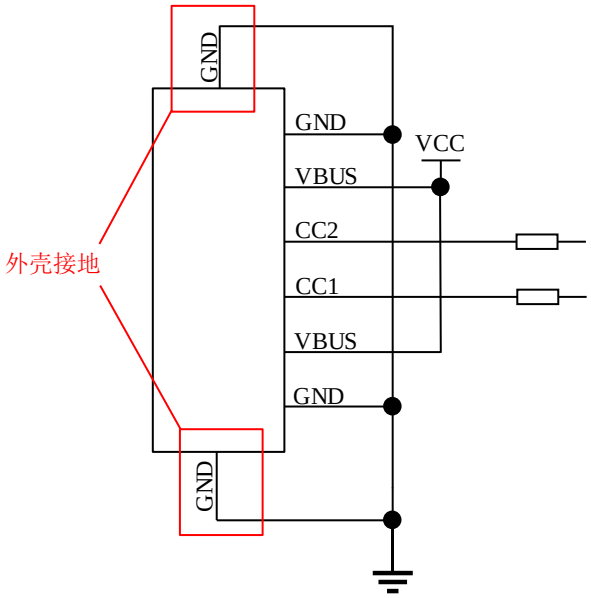
图 5-2 V_{CORE} 引脚串联电阻提升 ESD 抗干扰能力



5.3 USB（Type C）供电接口设计建议

对于使用 USB（Type C）接口供电或充电的设备，当 USB（Type C）接口的金属外壳不与 PCB 的 GND 连接时，可能会因为静电通过其金属外壳对板级形成电弧放电，从而导致电路故障。因此建议在 PCB 设计时，将 USB（TypeC）外壳做接地处理。这是较为规范的做法，可较大程度的提升板级产品的抗干扰能力。

图 5-3 TypeC 接口外壳接地示意



5.4 金属外壳产品提升 ESD 抗干扰能力的设计建议

对于使用金属外壳的产品，同样存在上述情况。当产品金属外壳与 PCB 不共地时，因静电电荷无低阻抗泄放路径，电荷会在金属外壳累积，累积到一定程度会时，外壳上的电荷会对 PCB 形成电弧放电，造成电路故障。因此需将金属外壳与 PCB 板的 GND 连接，以提升产品的抗静电能力。

6 生产注意事项

6.1 选项字节配置注意事项

参考手册的选项字节寄存器章节中给出了 MCU 选项字节的出厂默认值，用户可根据需要对选项字节进行配置。操作选项字节过程中如果异常掉电，会导致芯片进入保护状态无法正常工作。因此在配置选项字节时（包括开发调试阶段嵌入式代码修改与生产烧录阶段）需确保对 MCU 供电稳定。

为减少不必要的选项字节配置操作，在使用合作伙伴（如创芯工坊）的离线烧录器进行生产烧录时，如无特殊需求，选项字节模式建议避免使用“恢复默认”操作。因为“恢复默认”操作会在固件烧录前，先操作选项字节将其配置为默认值，在通过烧录工装对芯片供电烧录的环境中，可能会存在供电尚未稳定或工装接触尚未可靠的情况下操作选项字节的情况，从而导致烧录不良。建议的配置如下：

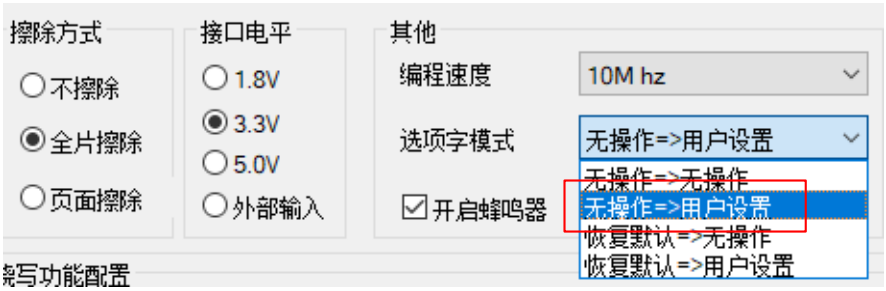
- 当目标芯片无需配置选项字节时，选项字节模式配置为“无操作=>无操作”，如下图所示：

图 6-1 烧录无需配置选项字节



- 当目标芯片需要配置选项字节时，选项字节模式配置为“无操作=>用户设置”，如下图所示：

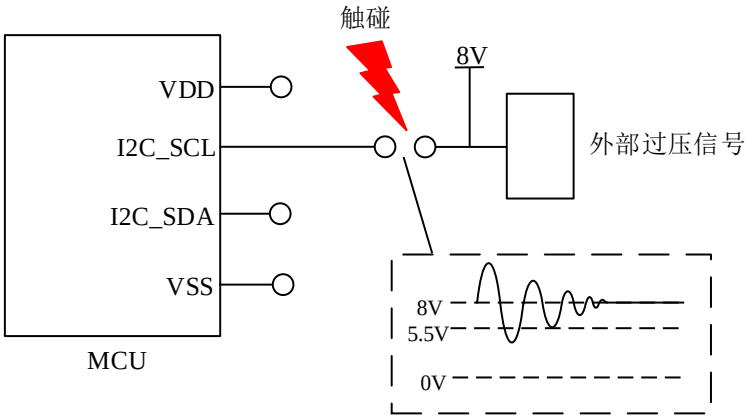
图 6-2 烧录配置选项字节



6.2 避免过高电压触碰 I/O

实际生产装配及测试过程中，如果装配环境或测试工装上的过压信号（超过 5.5V）误碰到芯片 I/O，所产生的振铃信号会远超过芯片 I/O 所能承受的电压范围，因此在装配与测试等环节，应注意规避此类情况，以避免影响生产良率。

图 6-3 过压触碰场景示意



7 版本历史

表 7-1 版本更改履历

日期	版本号	修改范围
2025-01-09	V1.0	初版
2025-01-15	V1.1	增加 VREFBUF 应用建议内容。
2026-04-19	V1.2	增加 ESD 防护设计指南及生产注意事项。
2026-06-02	V1.3	增加大功率应用场景硬件设计注意事项内容。
2026-07-10	V1.4	增加金属外壳产品 ESD 防护设计建议内容。
2026-07-20	V1.5	增加低功耗模式对于非唤醒源外设中断的配置建议。