MEGAHUNT

AN2x0099

应用手册

MH2435

硬件设计指南

引言

本《指南》对 MH2435 芯片硬件设计阶段的注意事项和参考电路进行说明，旨在帮助硬件工程师基于 MH2435 芯片进行电路设计，更快速的完成产品硬件开发。文中的应用电路仅供参考，硬件工程师在设计过程中应根据产品的使用场景和实际条件进行开发。

关键词

调试、下载、接口电路设计、XIP Flash

目录

1. 文档介绍 3
2. 电源 4
3. 时钟 6
4. 复位 7
5. 下载和调试 8
5.1. 下载 8
5.2. 调试 8
6. 接口电路设计 9
6.1. XIP Flash 9
6.2. USB 9
6.2.1. USB1 口设计说明 9
6.2.2. USB2 口设计说明 10
6.3. MIPI-CSI 接口 12
6.4. RGB（LTDC） 12
6.5. Quad-SPI 接口 13
6.6. 以太网 13
6.7. SDIO 接口 14
6.8. I2S 接口 15
6.9. ADC 15
6.10. DAC 16
6.11. CAN 16
7. 未使用引脚建议 17
8. 修订历史 18

表格

表 2-1 电源引脚去耦电容.....4
表 2-2 上电时序要求.....4
表 2-3 下电时序要求.....5
表 6-1 差分设计要求-CSI.....12
表 6-2 RGB 接口连接关系.....13
表 6-3 I2S 接口信号说明.....15
表 6-4 ADC 相关 IO 分布.....15
表 8-1 修订历史.....18

图片

图 2-1 上电时序.....4
图 2-2 下电时序.....4
图 3-1 HSE 应用电路.....6
图 3-2 LSE 应用电路.....6
图 6-1 Quad-SPI Flash 应用电路.....9
图 6-2 USB1-Device 应用电路.....10
图 6-3 USB1-Host 应用电路.....10
图 6-4 USB2-Device 应用电路.....11
图 6-5 USB2-Host 应用电路.....11
图 6-6 MIPI-CSI 应用电路.....12
图 6-7 以太网应用电路.....14
图 6-8 SD 卡应用电路.....14
图 6-9 CAN 应用电路.....16

1. 文档介绍

本《指南》对 MH2435 芯片硬件设计阶段的注意事项和参考电路进行说明，旨在帮助硬件工程师基于 MH2435 芯片进行电路设计，更快速的完成产品硬件开发。文中的应用电路仅供参考，硬件工程师在设计过程中应根据产品的使用场景和实际条件进行开发。

2. 电源

关于芯片电源引脚请参见芯片数据手册“MH2435 引脚定义”表格。有关电源引脚供电要求，请参见芯片数据手册中的“推荐工作条件”表，去耦电容参见表 2-1。

表 2-1 电源引脚去耦电容

电源引脚	推荐电容值	备注
VBAT33	1uF+0.1uF	3.3V 供电，靠近 VBAT33 引脚放置电容，从电源输入依次 1uF、0.1uF，QFN88 封装无 VBAT33 引脚
VDD33	0.1uF	3.3V 供电，每个 VDD33 引脚一个 0.1uF 电容
VDD11	1uF	内部 LDO 输出，靠近 VDD11 引脚放置电容
VDD25	1uF	内部 LDO 输出，靠近 VDD25 引脚放置电容
CSI_AVDD	——	MIPI-CSI 电源输入，使用该模块需要将 CSI_AVDD 与 VDD25 连接

- 电源时序说明

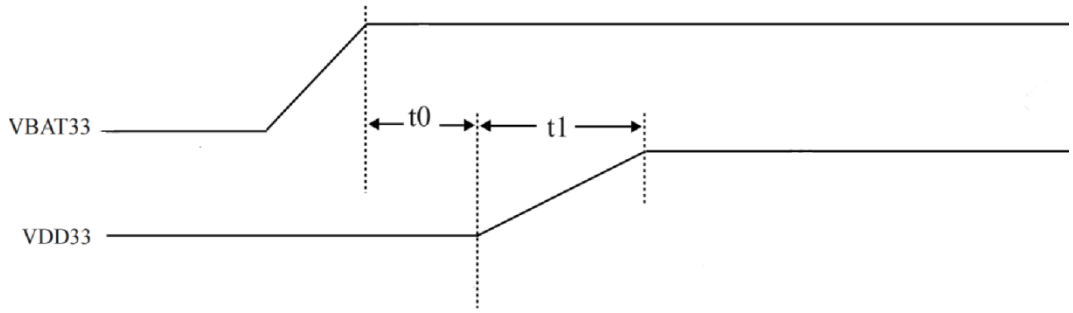


图 2-1 上电时序

表 2-2 上电时序要求

	Parameters	Description	Min	Max	Unit
Power on Sequence	t0	From VBAT33 to VDD33	0	∞	us
	t1	From 0V to 3.3V	0.1	2	ms

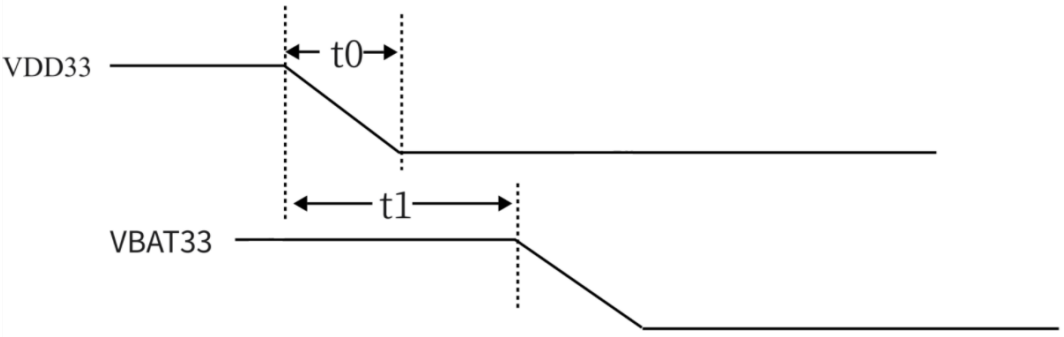


图 2-2 下电时序

表 2-3 下电时序要求

	Parameters	Description	Min	Max	Unit
Power down Sequence	t0	From 3.3V to 0V	0.1	1000	ms
	t1	From VDD33 to VBAT33	0	∞	us

3. 时钟

芯片需要 12MHz 和 32.768KHz 时钟, 才能正常工作。时钟源可以选用内部集成的时钟电路（HSI 和 LSI）或者外置晶振电路（HSE 和 LSE）。

HSE 典型电路如下：

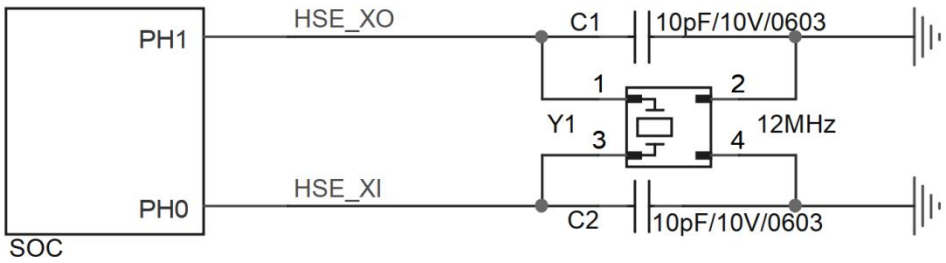


图 3-1 HSE 应用电路

芯片 RTC 默认使用内部 32.768KHz 时钟。若对 RTC 精度要求较高或需使用 32K 频率检测传感器，则必须接外部 32.768KHz 晶振，典型电路如下图所示：

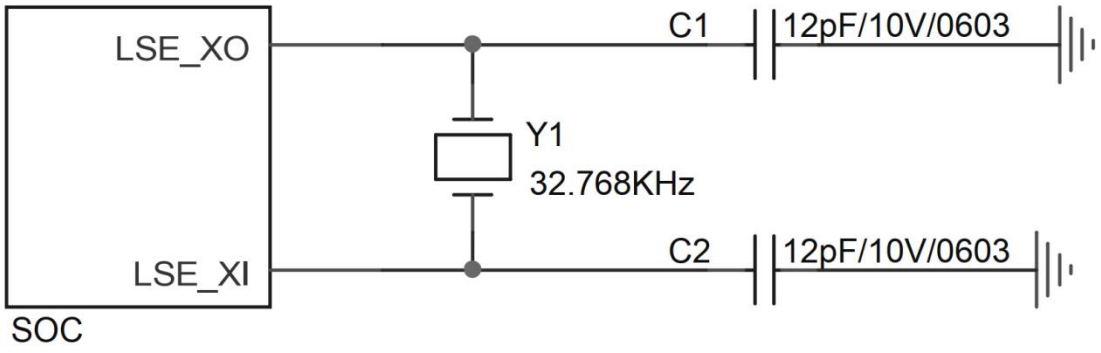


图 3-2 LSE 应用电路

若不使用该功能，参考本文第 7 章处理。

注意：晶振电路的负载电容值选择，应参考所选晶体的数据手册，芯片内部线路寄生电容值在 3pF 以内。

4. 复位

芯片复位引脚为 NRST，低电平有效，内部已经集成 30KΩ 左右上拉电阻上拉至 3.3V，电路设计时外接对地电容即可，推荐电容值 100nF。

5. 下载和调试

5.1. 下载

芯片支持串口和 USB 两种下载方式，下载操作方法参见《MH2435 下载工具使用说明》。

硬件设计注意事项：

1. 串口下载和调试，固定管脚为 PA9（UART1-TX）、PA10（UART1-RX）。芯片上电启动后，BOOT 将配置为串口，PA9 输出高电平，维持至少 50ms 之后，释放强驱状态转换为输入上拉。因此在硬件设计时，需注意该管脚外部电路连接，避免在上电启动过程中与 PA9 的 IO 状态发生冲突。
2. USB 下载，固定管脚为 PA11（DN）、PA12（DP）。由于 PA10 拉低，芯片在上电或复位时将进入 USB 下载，因此在硬件设计时，需注意 PA10 的外部电路连接，避免该管脚外接电路默认状态为低，使芯片误入下载模式，导致系统启动异常。

5.2. 调试

芯片支持 SWD 调试接口，对应管脚为 PA13（SWDIO）、PA14（SWCLK），硬件设计时不需要外接上下拉电阻。

6. 接口电路设计

6.1. XIP Flash

芯片的程序需要运行在 QSPI 接口的 Flash 存储器中，因此对于未集成 Flash 的封装形式，硬件电路上必须外接 QSPI-Flash 芯片。

Quad-SPI 接口信号包括：QSPI_CSN、QSPI_CLK、QSPI_DATA0、QSPI_DATA1、QSPI_DATA2、QSPI_DATA3。参考原理图如下：

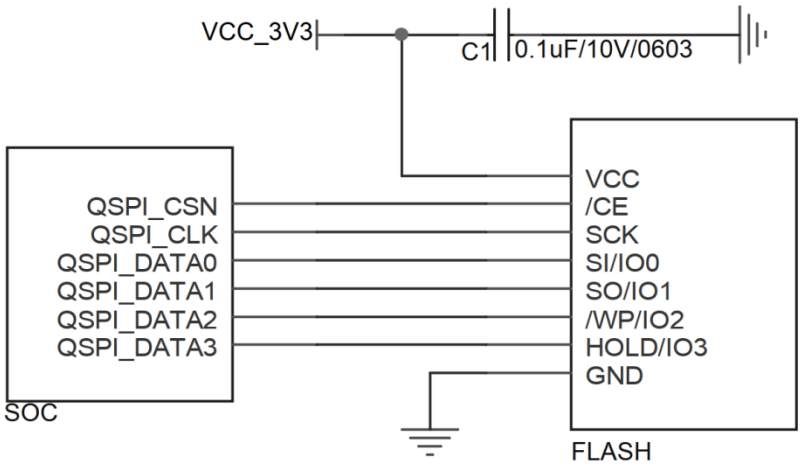


图 6-1 Quad-SPI Flash 应用电路

硬件设计注意事项：

1. 布局布线时，Flash 芯片尽可能靠近 MCU，走线总长不超过 5000mil。
2. 信号需要等长处理，误差范围 100mil 以内。

6.2. USB

芯片支持两个 USB 口，均支持 Host/Device/OTG 功能。其中 USB1 支持全速、低速，USB2 支持高速、全速、低速。

6.2.1. USB1 口设计说明

USB1 的管脚包括 PA10（ID）、PA11（DN）、PA12（DP），PC0（FS_DRV_VBUS）。在 USB 工作模式固定情况下，只需要使用 PA11（DN）、PA12（DP）管脚就可以实现 USB 功能。PA10、PC0 可以根据产品需求，做其他功能 IO 处理。

当 USB1 口做 Device 时，参考电路如下：

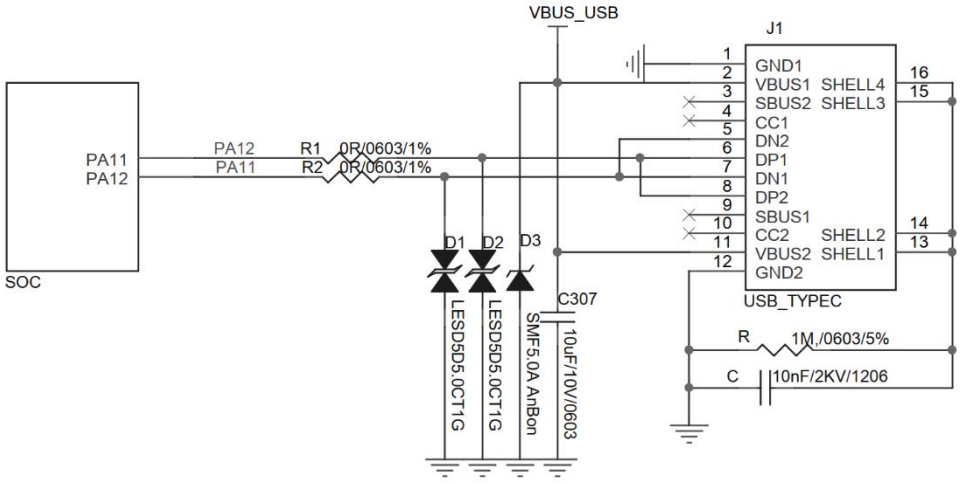


图 6-2 USB1-Device 应用电路

当 USB1 口做 Host 时，参考电路如下：

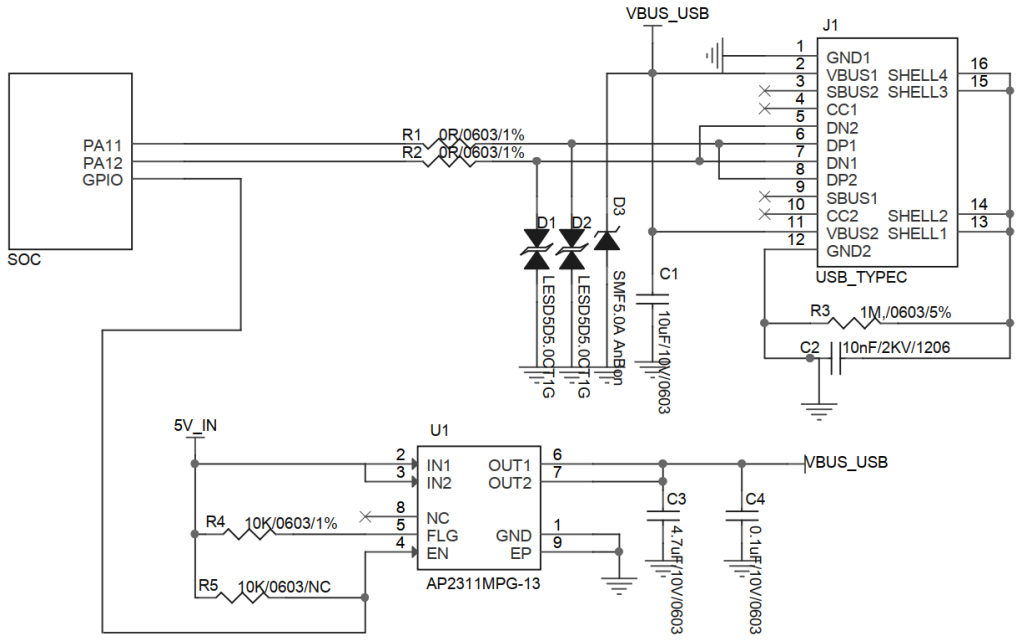


图 6-3 USB1-Host 应用电路

硬件设计注意事项：

1. DP、DM 需差分等长，差分阻抗 90Ω。
2. DP、DM 信号需增加 TVS 管防静电，靠近 USB 接口放置，尽量增大 TVS 管的静电泄放面积。需注意 ESD 器件的寄生电容不要超过 10PF。
3. USB 走线应先经 TVS 后再连接到芯片的 PA11（DN）、PA12（DP） 管脚上。

6.2.2. USB2 口设计说明

USB2 管脚包括 USB_DP、USB_DN、VBUS 均为专用管脚，若不使用该功能，参考本文第 7 章处理。

当 USB2 做 Device 时，参考电路如下：

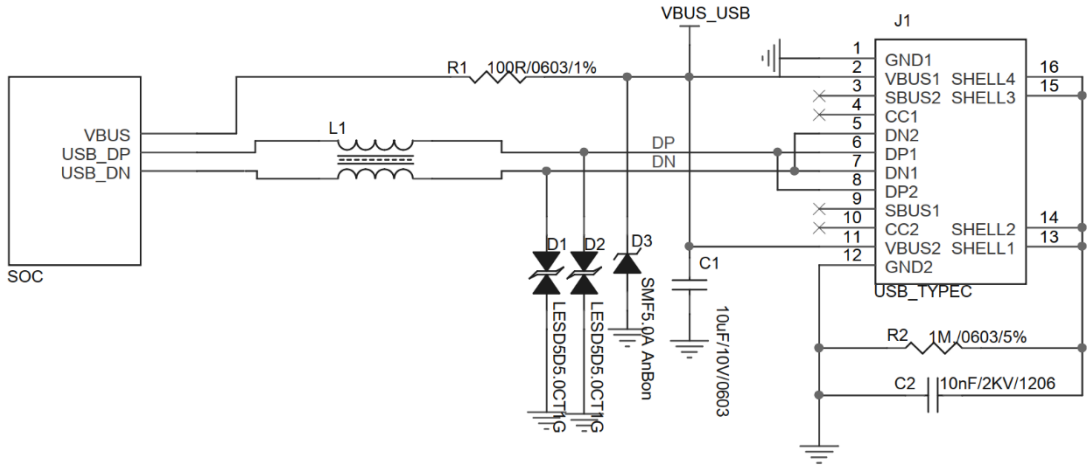


图 6-4 USB2-Device 应用电路

当 USB2 口做 Host 时，参考电路如下：

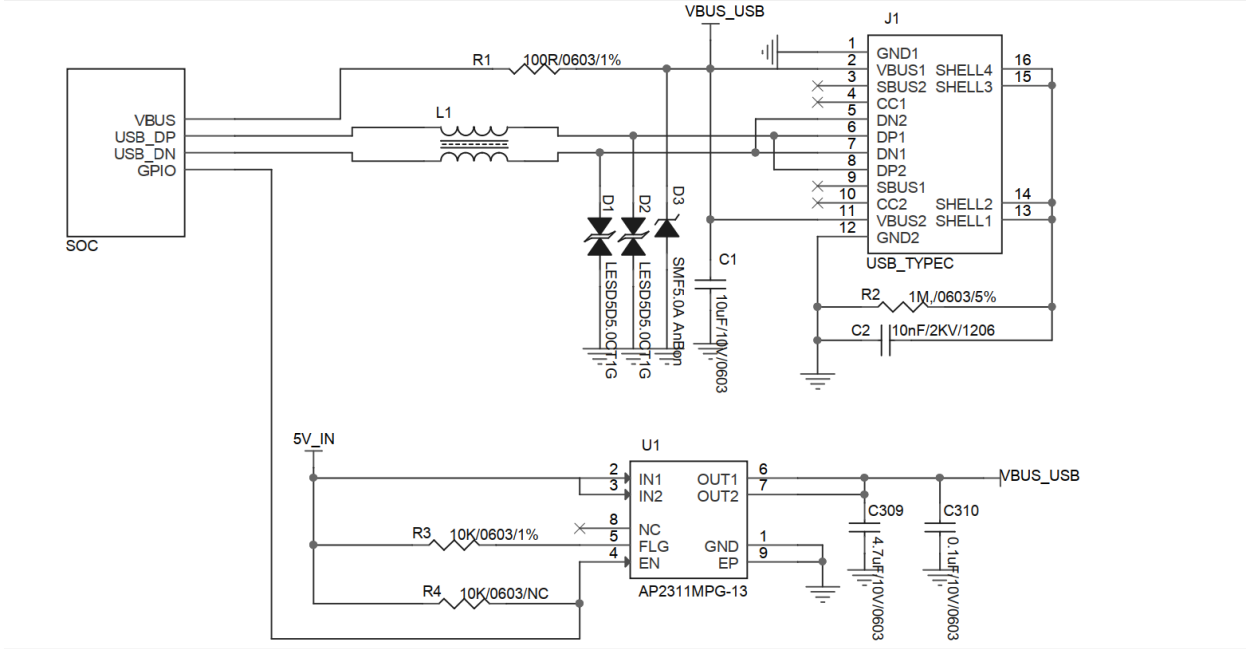


图 6-5 USB2-Host 应用电路

硬件设计注意事项：

1. 使用 USB2 口时，需要保证芯片 VDD33 供电 3.3V，才能保证该接口在各模式下工作稳定可靠。
2. 使用 USB2 高速 USB 模式时，需要使用外部 HSE 晶体。
3. 芯片的 DP、DN 信号与外设间串联一个共模电感 L1，防止 USB 信号产生 EMI 干扰，L1 靠近芯片放置。
4. 差分数据线走线应有完整的地平面作为参考平面，不能跨平面分割，尽量不要换层。走线尽量少打孔和拐角，拐角可考虑用圆弧或 135°，避免直角，以减少反射和阻抗变化。避免临近其他高速周期信号和大电流信号，并保证间距大于 50mil，以减少串扰。
5. DP、DM 需差分等长，差分阻抗 90Ω。

6. DP、DM 信号增加 TVS 管防静电，靠近 USB 接口放置，尽量增大 TVS 管的静电泄放面积。当 USB2 使用全速模式时，ESD 器件的寄生电容应小于 10PF；当 USB2 使用高速模式时，ESD 器件的寄生电容不要超过 2PF。
7. USB 走线应先经 TVS 后再连接到 CPU 的 VBUS、DP、DM 管脚上，在芯片的 VBUS 输入管脚处串接 100Ω电阻防浪涌。

6.3. MIPI-CSI 接口

MIPI-CSI 专用引脚包括：CSI_AVDD、CSI_VSS、CSI_CLKP、CSI_CLKN、CSI_D0P、CSI_D0N，摄像头模组通常包含 MCLK、RST、PWDN 信号，其中 MCLK 选择带有 CLK_EXT 功能的 GPIO。

若不使用该功能，参考本文第 7 章处理。

参考电路如下：

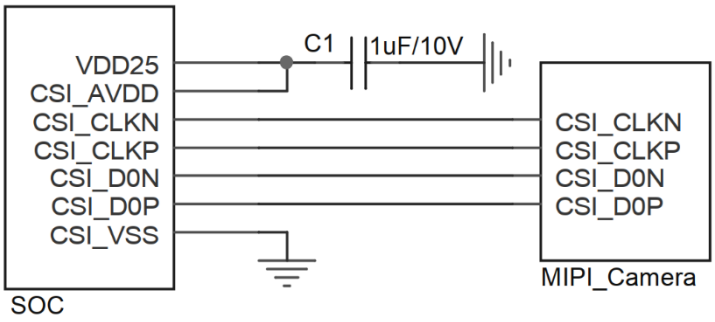


图 6-6 MIPI-CSI 应用电路

硬件设计注意事项：

1. 差分设计要求

表 6-1 差分设计要求-CSI

PIN name	差分对内等长要求	组间差分对要求	阻抗要求
CSI_CLKP	组内长度误差小于 10mil	组间误差小于 100mil	差分 100Ω
CSI_CLKN			
CSI_D0P	组内长度误差小于 10mil	组间误差小于 100mil	差分 100Ω
CSI_D0N			

2. 摄像头模组的电源设计，建议关注摄像头模组的各电源电压和上电时序要求，应注意电平匹配和上电顺序。

6.4. RGB（LTDC）

RGB LCD 接口支持外接 RGB888、RGB666、RGB565 的 LCD 屏，支持该接口相关功能的 GPIO，参见

数据手册。

RGB LCD 接口外接不同数据线屏幕时具体对应关系见下表：

表 6-2 RGB 接口连接关系

芯片引脚功能	RGB888 屏	RGB666 屏	RGB565 屏
LCD_CLK	DCLK	DCLK	DCLK
LCD_HSYNC	HSYNC	HSYNC	HSYNC
LCD_VSYNC	VSYNC	VSYNC	VSYNC
LCD_DE	DE	DE	DE
LCD_R0	R0	\	\
LCD_R1	R1	\	\
LCD_R2	R2	R0	\
LCD_R3	R3	R1	R0
LCD_R4	R4	R2	R1
LCD_R5	R5	R3	R2
LCD_R6	R6	R4	R3
LCD_R7	R7	R5	R4
LCD_G0	G0	\	\
LCD_G1	G1	\	\
LCD_G2	G2	G0	G0
LCD_G3	G3	G1	G1
LCD_G4	G4	G2	G2
LCD_G5	G5	G3	G3
LCD_G6	G6	G4	G4
LCD_G7	G7	G5	G5
LCD_B0	B0	\	\
LCD_B1	B1	\	\
LCD_B2	B2	B0	\
LCD_B3	B3	B1	B0
LCD_B4	B4	B2	B1
LCD_B5	B5	B3	B2
LCD_B6	B6	B4	B3
LCD_B7	B7	B5	B4

硬件设计注意事项：

1. 如果对 EMI 要求较高的场景，建议在 LCD_CLK 的线路上预留磁珠，靠近芯片放置。

6.5. Quad-SPI 接口

芯片的 Quad-SPI 接口支持外接 Quad SPI 接口的 LCD 和 Flash。

硬件设计注意事项：

1. 各信号应等长处理，误差范围 100mil 以内。
2. CLK 信号建议预留 RC，用于调试 EMI 噪声。

6.6. 以太网

芯片有 1 个 10M/100M 以太网接口，支持 RMII、MII 接口外接以太网 PHY 芯片实现以太网功能。支

持该接口相关功能的 GPIO, 参见数据手册。推荐使用 RMII 接口, 该接口使用管脚数量少, 易于硬件开发。RMII 参考电路如下:

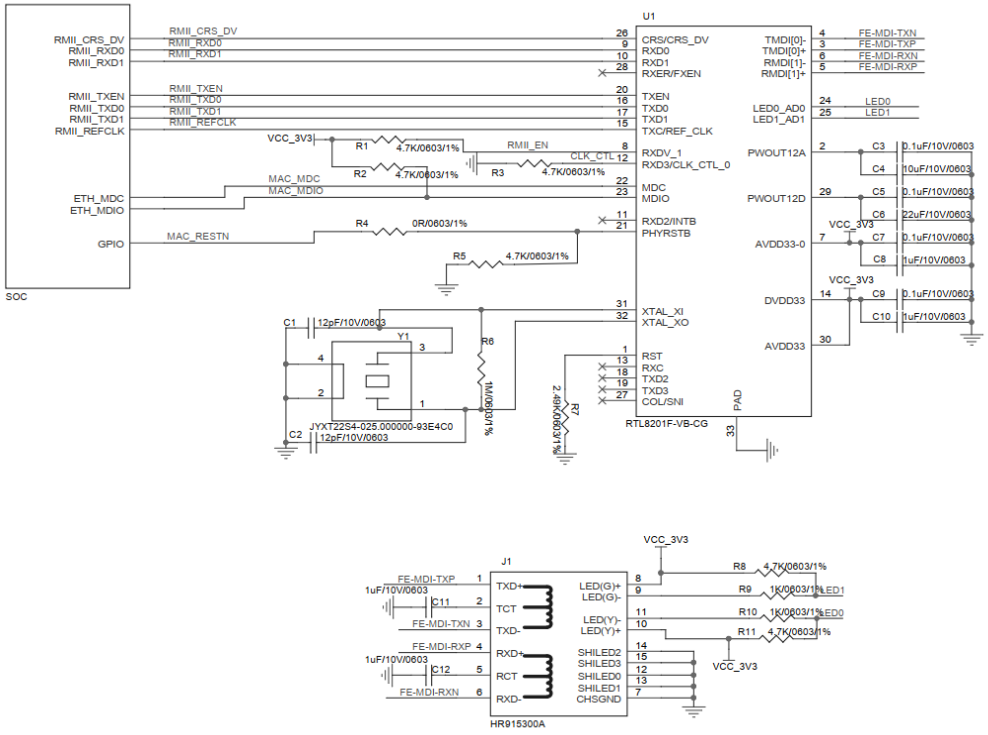


图 6-7 以太网应用电路

6.7. SDIO 接口

SDIO 接口支持外接 SD 卡，支持该接口相关功能的 GPIO，参见数据手册。参考电路如下:

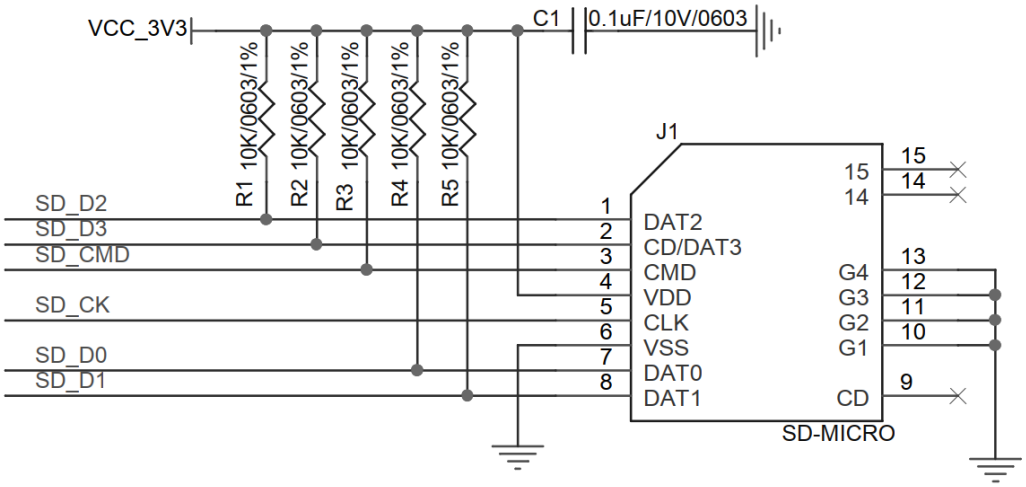


图 6-8 SD 卡应用电路

硬件设计注意事项:

1. SD 卡的 DATA、CMD 信号建议外接 10K 上拉电阻，避免个别型号的 SD 卡的信号驱动偏弱，使高电平识别异常。
2. 芯片的 GPIO 电平为 3.3V，应注意与使用的 SD 卡片电平匹配。
3. 信号线应等长处理，误差控制在 50mil 以内。

6.8. I2S 接口

I2S 是一种同步串行通信接口，它可满足四种不同音频标准的要求，包括 I2S Philips 标准、MSB 和 LSB 对齐标准，以及 PCM 标准。它可在全双工模式（使用 4 引脚）或半双工模式（使用 3 个引脚）下作为从器件或主器件工作。当 I2S 配置为通信主模式时，该接口可以向外部从器件提供主时钟。

支持该接口相关功能的 GPIO，参见数据手册。相关信号及功能说明如下:

表 6-3 I2S 接口信号说明

信号名称	信号说明
I2S_SD	串行数据输出
I2S_WS	字选择，数据控制信号
I2S_CK	串行时钟
I2Sext_SD	用于控制 I2S 全双工模式的数据输入
I2S_MCK	主时钟信号

6.9. ADC

芯片支持 12 位 ADC，支持该接口相关功能的引脚，参见数据手册。该模块特性参见数据手册-电气特性章节。

ADC 相关 IO 分布如下:

表 6-4 ADC 相关 IO 分布

ADC1	IO	ADC2	IO	ADC3	IO
通道 0	PA0	通道 0	PA0	通道 0	PA0
通道 1	PA1	通道 1	PA1	通道 1	PA1
通道 2	PA2	通道 2	PA2	通道 2	PA2
通道 3	PA3	通道 3	PA3	通道 3	PA3
通道 4	PA4	通道 4	PA4	通道 4	PF6
通道 5	PA5	通道 5	PA5	通道 5	PF7
通道 6	PA6	通道 6	PA6	通道 6	PF8
通道 7	PA7	通道 7	PA7	通道 7	PF9
通道 8	PB0	通道 8	PB0	通道 8	PF10
通道 9	PB1	通道 9	PB1	通道 9	--
通道 10	PC0	通道 10	PC0	通道 10	PC0
通道 11	PC1	通道 11	PC1	通道 11	PC1
通道 12	--	通道 12	--	通道 12	--
通道 13	--	通道 13	--	通道 13	--
通道 14	PC4	通道 14	PC4	通道 14	--
通道 15	PC5	通道 15	PC5	通道 15	--
通道 16	连接内部温度传感器	通道 16	--	通道 16	--

硬件设计注意事项：

1. ADC 的线路输入阻抗需要小于 1K。
2. ADC 信号走线时，应远离时钟、射频信号，避免出现干扰，影响 ADC 采集精度。

6.10. DAC

芯片支持 12 位 DAC，引脚包括 PA4、PA5。信号走线时，应远离时钟、射频信号，避免出现干扰，影响 DAC 输出精度。

6.11. CAN

芯片的 CAN 总线接口，支持 CAN2.0A 和 CAN2.0B 协议，比特率最高 1Mbit/s。

CAN 参考电路如下：

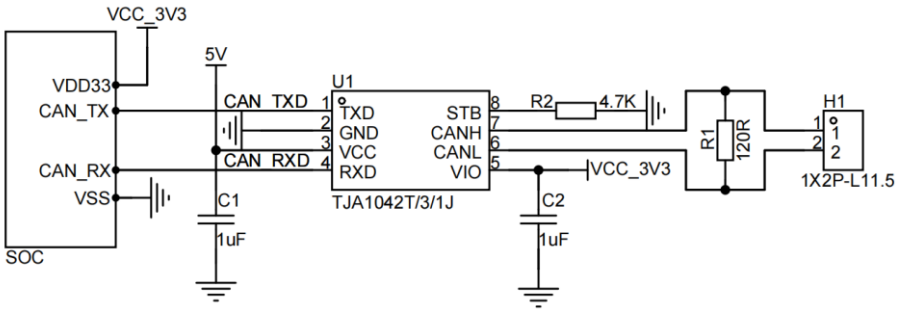


图 6-9 CAN 应用电路

7. 未使用引脚建议

1. 不使用 LSE，将 LSE_IN 接地，LSE_OUT 外部悬空。
2. 不使用 USB2，将 VBUS、DP、DN 外部悬空。
3. 不使用 CSI，将 CSI_AVDD、CSI_CLKP、CSI_CLKN、CSI_D0P、CSI_D0N 悬空。

8. 修订历史

表 8-1 修订历史

日期	修订版本	描述
2025-09-25	1.0	初稿完成

DISCLAIMER

The information in this document is current as of the published date. The information is subject to change without notice. For actual design-in, refer to the latest publications of MEGAHUNT Datasheets, and other official documents, for the most up-to-date specifications of MEGAHUNT products. Not all products and/or types are available in every country. Please contact a MEGAHUNT sales representative for availability and additional information.

No part of this document may be copied or reproduced in any form or by any means without the prior written consent of MEGAHUNT. MEGAHUNT assumes no responsibility for any errors or inaccuracies that may appear in this document.

MEGAHUNT disclaims any liability for patent, copyright or other intellectual property rights infringements of third parties by or arising from the use of MEGAHUNT products listed in this document or any other liability arising from the use of such products. No license, express, implied or otherwise, is granted under any patents, copyrights or other intellectual property rights of MEGAHUNT or others. Descriptions of circuits, software and other related information in this document are provided for illustrative purposes in semiconductor product operation and application examples. The incorporation of these circuits, software and information in the design of a customer's equipment shall be done under the full responsibility of the customer. MEGAHUNT assumes no responsibility for any losses incurred by customers or third parties arising from the use of these circuits, software and information.

The fonts, images, and other logos used by our company are legally authorized or legally used free of charge without infringing any third-party's rights.

Our company reserves the right to modify or revoke this disclaimer.

If you have any doubts, please contact us promptly and we will actively resolve them.

For more information about MEGAHUNT products and solutions, visit our website at www.megahuntmicro.com