CIU32L030/F032 应用开发指南

应用笔记

AN1025

北京中电华大电子设计有限责任公司
CEC Huada Electronic Design Co.,Ltd

声　明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权利。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已经核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

目录

1 简介 6
2 参考文档 6
3 硬件设计指南 6
3.1 SWD 配置为 GPIO 设计建议 6
3.2 GPIO 中断资源分配注意事项 7
3.3 PB1 引脚使用注意事项 7
3.4 V_{CORE} 引脚设计建议 7
3.5 大功率应用场景硬件设计注意事项 8
4 软件设计指南 8
4.1 ADC 使用注意事项 8
4.1.1 Debug 调试注意事项 8
4.1.2 使用 V_{BGR} 计算 V_{DD} 电压时的注意事项 9
4.1.3 内部温度传感器使用注意事项 10
4.2 Stop 模式待机功耗优化建议 10
5 ESD 防护设计指南 11
5.1 对外接口防护建议 11
5.2 USB（Type C）供电接口设计建议 11
5.3 金属外壳产品提升 ESD 抗干扰能力的设计建议 12
6 版本历史 13

表目录

表 6-1 版本更改履历..... 13

图目录

图 3-1 离线编程器上电延时烧录时间配置 6
图 3-2 SWD 配置为 GPIO 预留时间时序 7
图 3-3 EXTI 多路复用器 7
图 3-4 V_{CORE} 引脚外接退耦电容 8
图 3-5 大功率应用场景接地设计示意 8
图 4-1 ADC 调试注意事项示意 9
图 4-2 使能 V_{BGR} 后延时 20μs 等待 BGR 稳定 9
图 4-3 使能 V_{BGR} 内部通道后延时 6μs 等待通道稳定 10
图 5-1 对外接口串联电阻示意 11
图 5-2 TypeC 接口外壳接地示意 12

1 简介

本文档详细介绍了 CIU32L030/F032 超低功耗安全 MCU 应用开发过程中的注意事项，并针对特定应用场景提供了参考示例，方便用户快速开发。

2 参考文档

参考手册：

- 《RM1008_CIU32L030x8 参考手册》
- 《RM1012_CIU32F032x6x8 参考手册》

数据手册：

- 《DS1010_CIU32L030x8 数据手册》
- 《DS1013_CIU32F032x6x8 数据手册》

3 硬件设计指南

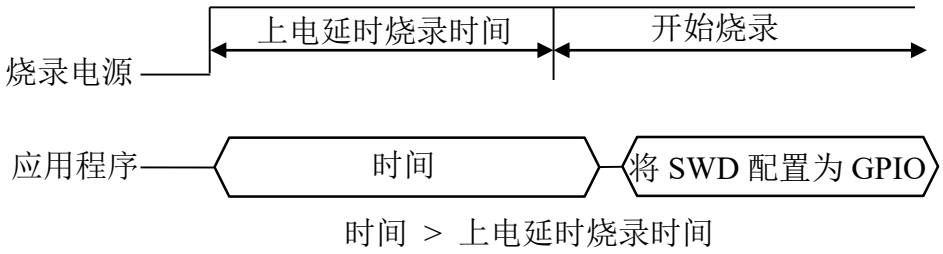
3.1 SWD 配置为 GPIO 设计建议

如果需要在应用中将 SWD 配置为 GPIO，为确保离线编程器下次能重复烧录，建议 MCU 上电运行程序到将 SWD 配置为 GPIO 的时间设计大于离线编程器配置的上电延时烧录时间，这样即使在不使用复位引脚的情况（如复位引脚被配置为 GPIO 使用，请参见 3.2）下也能够进行重复烧录。

图 3-1 离线编程器上电延时烧录时间配置



图 3-2 SWD 配置为 GPIO 预留时间时序



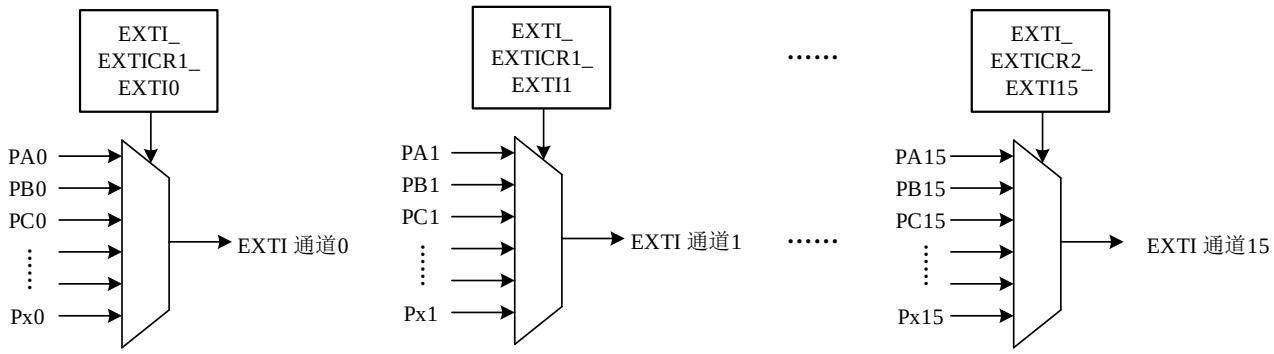
时间 > 上电延时烧录时间

3.2 GPIO 中断资源分配注意事项

由于存在多路 GPIO 共享一路 EXTI 中断的情况，因此电路设计时应避免在同一 EXTI 通道上分配多路 GPIO 中断，否则仅能选择一路 GPIO 中断有效。

如下图：PA0、PB0…PF0，硬件设计上只能选择一路 GPIO 分配 EXTI0 中断功能。

图 3-3 EXTI 多路复用器



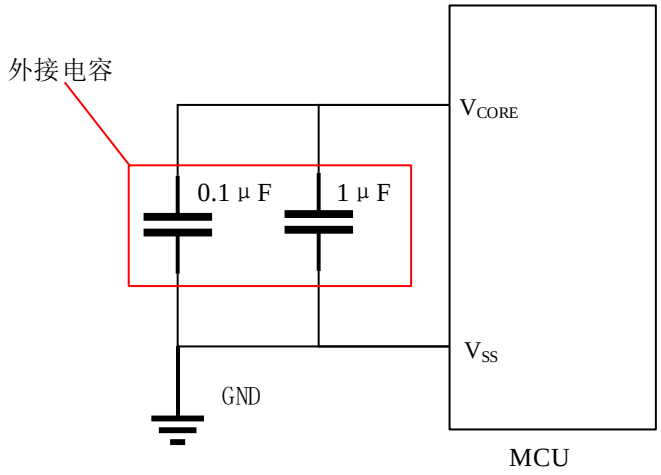
3.3 PB1 引脚使用注意事项

PB1 引脚驱动能力较弱，不可将 PB1 用于对驱动能力有要求的应用场景，如直接驱动 LED。建议将 PB1 配置为数字输入功能或通信接口使用。

3.4 V_{CORE} 引脚设计建议

MCU V_{CORE} 引脚需外接 0.1μF+1μF 退耦电容，否则芯片无法正常工作。Layout 时，V_{CORE} 退耦电容接地与 MCU 的 V_{SS} 引脚需手动最短距离连线，避免通过覆铜随机连接，如下图所示：

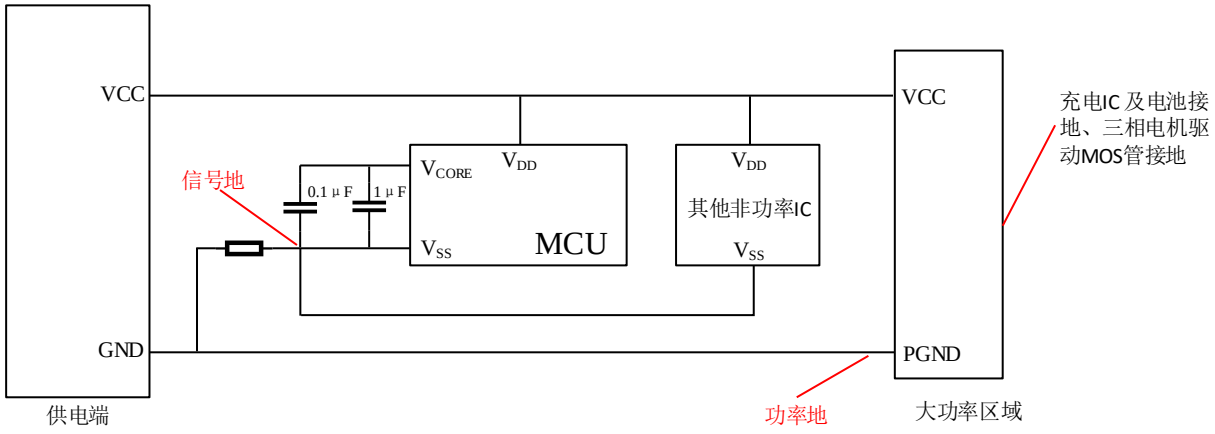
图 3-4 V_{CORE} 引脚外接退耦电容



3.5 大功率应用场景硬件设计注意事项

在大功率应用场景下，如大功率充电（PD 协议快充）、驱动电机时发生堵转等，板级硬件设计应注意接地的规范性。大功率区域的功率地（PGND）与信号地应做单点连接处理，避免功率地（PGND）的电流振荡通过 V_{CROE} 引脚干扰到 MCU 的内核电压。示意如下图：

图 3-5 大功率应用场景接地设计示意



4 软件设计指南

4.1 ADC 使用注意事项

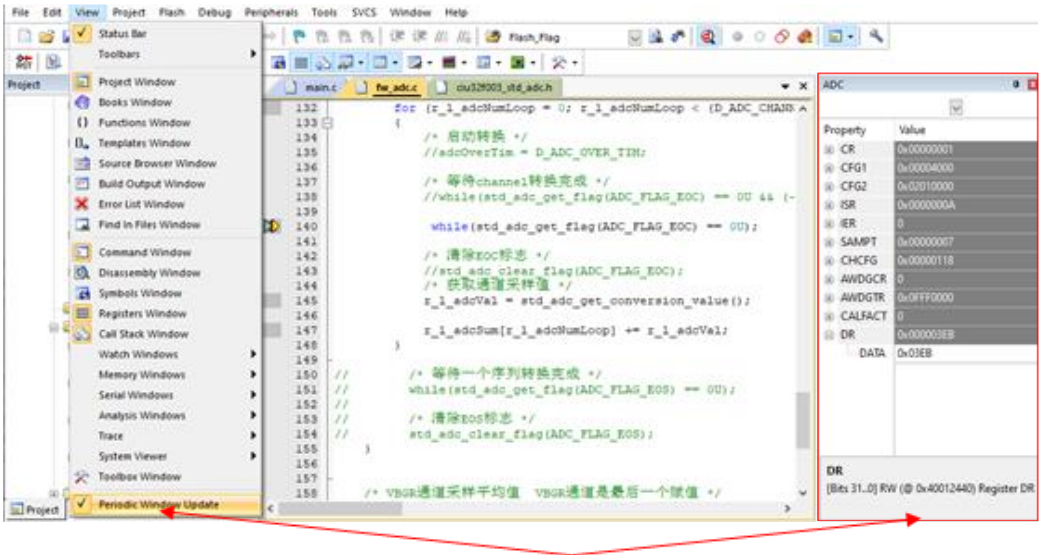
4.1.1 Debug 调试注意事项

在使用仿真器调试 ADC 功能时，如果打开了 ADC 外设观察窗口的同时又开启了周期更新窗口功能，调试内核会周期性读取 ADC 数据寄存器，导致 EOC 被调试内核清除掉了，程序执行出现非预期的现象如：

- 程序在启动 ADC 转换后无法读取到 EOC 标志。
- 程序设置了 ADC 通道序列转换和自动等待模式，可能丢失转换的 ADC 通道数。

建议在 Debug 模式下启动 ADC 转换时不要同时打开 ADC 外设观察窗口和开启周期更新窗口功能，以避免 EOC 被调试内核非预期的清除掉，如果要观察 ADC 转换数据，可以通过程序设置变量来读取 ADC 数据寄存器，通过观察变量来反映 ADC 转换数据。

图 4-1　ADC 调试注意事项示意



4.1.2　使用 V_{BGR} 计算 V_{DD} 电压时的注意事项

MCU 内部带隙基准电压（BGR，典型电压 0.8V）可作为 ADC 的内部输入通道，当 ADC 使用 V_{DD} 作为参考电压时，可通过采集 V_{BGR} 来计算 V_{DD} 电压，具体步骤参见产品参考手册“内部带隙基准电压检测”章节。使用此方法时有以下注意事项：

- 使能 V_{BGR} 时，根据数据手册 BGR 启动时间（t_{START}）要求，需延时 20μs，等待 BGR 稳定。

图 4-2　使能 V_{BGR} 后延时 20μs 等待 BGR 稳定

```
/* 使能VBGR */
std_pmu_bgr_enable();

/* 等待BGR稳定 */
std_delayus(BGR_RDY_DELAY);
```

- 使能 ADC 内部输入通道 V_{BGR} 时，根据数据手册 ADC 内部通道 VBGR Buffer 的启动时间（t_{ADC_BUF}）要求，需延时 6μs，等待通道稳定。

图 4-3 使能 V_{BGR} 内部通道后延时 6μs 等待通道稳定

```
/* 使能通道VBGR */
std_adc_internal_channel_enable(ADC_INTERNAL_CHANNEL_VBGREN);

/* 等待内部通道的启动稳定时间 */
std_delayus(ADC_VBGR_CHANNEL_DELAY);
```

- 根据数据手册中 ADC 测量内部通道 V_{BGR} 的采样时间（t_{SAMP}）要求，ADC 采样时长应至少大于 5μs（t_{SAMP_Min}），当 ADC 采样时钟为 16MHz 时，采样周期应配置为 119CLK(7.438μs)。

4.1.3 内部温度传感器使用注意事项

MCU 内置的温度传感器（TS），用于测量芯片的结温（TJ），具体使用步骤参见产品参考手册“温度传感器”章节，根据参考手册给出的公式计算采样温度时，需要注意：

$$\text{Temperature（℃）} = \frac{85℃-25℃}{TS_{CAL_85} - TS_{CAL_25}} \times (TS_{DATA} - TS_{CAL_25}) + 25℃$$

公式中 TS_{CAL_25}、TS_{CAL_85} 是参考电压为 3.3V 时，在对应温度下的温度传感器转换值，因此带入公式的 TS_{DATA} 应将实际采样值转换为 3.3V 参考电压下对应的值。如，在 5V 参考电压下采样值为 TS_{DATA_5V}，$TS_{DATA} = TS_{DATA_5V} \times \frac{5}{3}$。

4.2 Stop 模式待机功耗优化建议

为降低产品整机的待机功耗，建议按照以下步骤对整机功耗进行优化：

1、 检查 MCU 与外设连接的 I/O，避免存在 MCU 的 I/O 电平与外设不匹配，或上下拉配置不合理导致的漏电。

2、 方案设计中未用到的空余 I/O，建议保持默认模拟状态，切勿配置为无上下拉的输入模式，避免 I/O 处于中间电平导致静态功耗增加。

3、 ADC 和 TS（温度传感器）在 Stop 模式下虽然无法工作，但仍会产生功耗，应该进入 Stop 前，关闭这些外设。如果 ADC 使能了内部采集通道，如 BGR、TS，还需要在进入 Stop 前关闭这些通道。

4、 待机状态下，所有外设及其关联外设均不使用 BGR 的情况下，在 MCU 进入 Stop 模式之前，应依次调用以下函数关闭 BGR：

```
/* 禁止 BGR */
std_pmu_bgr_disable();
/*关闭 PMU 外设时钟*/
std_rcc_apb1_clk_disable(RCC_PERIPH_CLK_PMU);
```

如果应用场景中需通过比较器进行休眠唤醒，需要注意，当比较器反向

输入端选择了 V_{BGR}，此时不可关闭 BGR，否则无法唤醒。

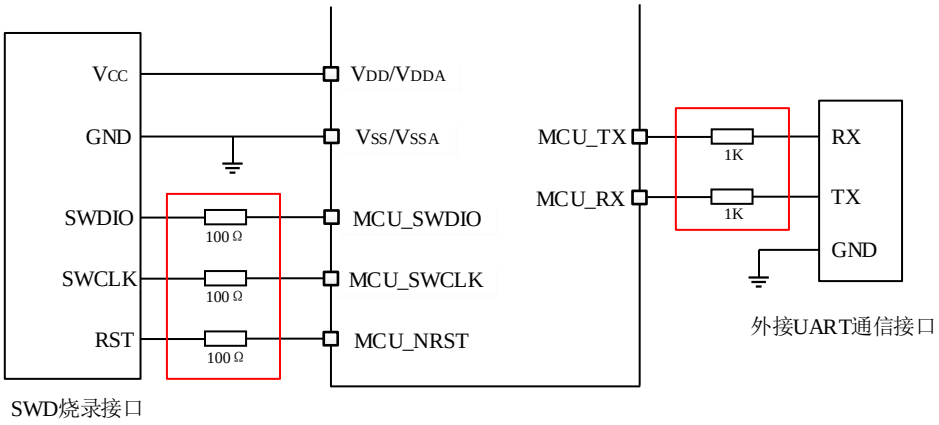
5、 对于非 Stop 模式唤醒源的外设中断（包括不具备唤醒能力的外设以及具备唤醒能力但未配置为唤醒源的外设），虽然其无法将 MCU 从 Stop 模式唤醒，但在 MCU 进入 Stop 模式的过程中，一旦产生了中断会打断 MCU 进入 Stop 的流程，导致 MCU 当次不再进入 Stop 模式。如果此情况会对应用产生影响，建议代码实现上，在 MCU 进入 Stop 模式前，将这些非唤醒源外设中断关闭，唤醒后再将这些外设的中断重新使能。

5 ESD 防护设计指南

5.1 对外接口防护建议

方案设计中，对于对外暴露可能接触静电的 I/O 接口，如 SWD 烧录接口，与板外通信的 UART 接口以及显示屏驱动接口等，建议在 I/O 与板级对外接口之间串联电阻，避免接口带电热拔插或静电引入过压冲击影响芯片 I/O。串联电阻的阻值在不影响功能的前提下应尽量大，SWD 烧录接口建议串联电阻的阻值为 100Ω。

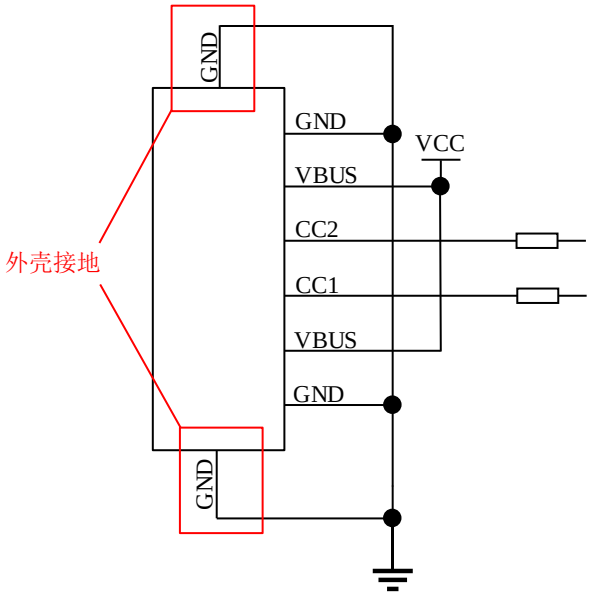
图 5-1 对外接口串联电阻示意



5.2 USB（Type C）供电接口设计建议

对于使用 USB（Type C）接口供电或充电的设备，当 USB（Type C）接口的金属外壳不与 PCB 的 GND 连接时，可能会因为静电通过其金属外壳对板级形成电弧放电，从而导致电路故障。因此建议在 PCB 设计时，将 USB（TypeC）外壳做接地处理。这是较为规范的做法，可较大程度的提升板级产品的抗干扰能力。

图 5-2 TypeC 接口外壳接地示意



5.3 金属外壳产品提升 ESD 抗干扰能力的设计建议

对于使用金属外壳的产品，同样存在上述情况。当产品金属外壳与 PCB 不共地时，因静电电荷无低阻抗泄放路径，电荷会在金属外壳累积，累积到一定程度会时，外壳上的电荷会对 PCB 形成电弧放电，造成电路故障。因此需将金属外壳与 PCB 板的 GND 连接，以提升产品的抗静电能力。

6 版本历史

表 6-1 版本更改履历

日期	版本号	修改范围
2026-04-07	V1.0	初版
2026-06-02	V1.1	1、增加 V_{CORE} 引脚设计建议内容。 2、增加大功率应用场景硬件设计注意事项内容。
2026-07-10	V1.2	增加金属外壳产品 ESD 防护设计建议内容。
2026-07-20	V1.3	增加低功耗模式对于非唤醒源外设中断的配置建议。