

CIU32F003 应用开发 指南

应用笔记

AN1023



北京中电华大电子设计有限责任公司
CEC Huada Electronic Design Co.,Ltd

声 明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权利。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已经核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

目录

1. 简介	6
2. 参考文档	6
3. 硬件设计指南	6
3.1. SWD 配置为 GPIO 设计建议	6
3.2. NRST 配置为 GPIO 设计建议	7
3.3. 按键电路设计注意事项	7
3.4. I/O 与 VBAT 连接注意事项	8
3.5. GPIO 中断资源分配注意事项	8
4. 软件设计指南	9
4.1. ADC 使用注意事项	9
4.1.1. Debug 调试注意事项	9
4.1.2. 使用 V_{BGR} 计算 V_{DD} 电压时的注意事项	9
4.2. 低功耗优化设计建议	10
4.3. IAP Loader 设计建议	10
5. ESD 防护设计指南	11
5.1. 对外接口防护建议	11
5.2. USB (Type C) 供电接口设计建议	11
6. 生产注意事项	12
6.1. 选项字节配置注意事项	12
6.2. 避免过高电压触碰 I/O	13
7. 版本历史	14

表目录

表 7-1	版本更改履历.....	14
-------	-------------	----

图目录

图 3-1	离线编程器上电延时烧录时间配置.....	6
图 3-2	SWD 配置为 GPIO 预留时间时序.....	7
图 3-3	离线编程器 NRST 配置为 GPIO	7
图 3-4	退耦电容串入电阻避免按键负压.....	7
图 3-5	I/O 直连 VBAT 注意事项示意	8
图 3-6	EXTI 多路复用器.....	8
图 4-1	ADC 调试注意事项示意	9
图 4-2	使能 V_{BGR} 内部通道后延时等待通道稳定.....	10
图 4-3	RDP1 下 User Flash 操作注意.....	11
图 5-1	对外接口串联电阻示意.....	11
图 5-2	TypeC 接口外壳接地示意	12
图 6-1	FLASH_OPTR1 寄存器 NRST_SWD_MODE 位域	12
图 6-2	过压触碰场景示意.....	13

1. 简介

本文档详细介绍了使用 CIU32F003 在开发产品过程中的注意事项，并针对特定场景提供了具体的解决方案，方便客户快速开发。

2. 参考文档

参考手册：

- 《RM1007_CIU32F003x5 参考手册》

数据手册：

- 《DS1008_CIU32F003x5 数据手册》

3. 硬件设计指南

3.1. SWD 配置为 GPIO 设计建议

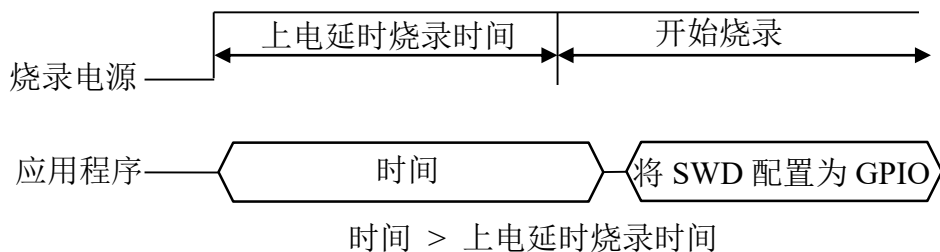
如果需要在应用中将 SWD 配置为 GPIO，为确保离线编程器下次能重复烧录，建议 MCU 上电运行程序到将 SWD 配置为 GPIO 的时间设计大于离线编程器配置的上电延时烧录时间，这样即使在不使用复位引脚的情况（如复位引脚被配置为 GPIO 使用，请参见：[NRST 配置为 GPIO 设计建议](#)）下也能够进行重复烧录。

图 3-1 离线编程器上电延时烧录时间配置



上电延时烧录时间配置

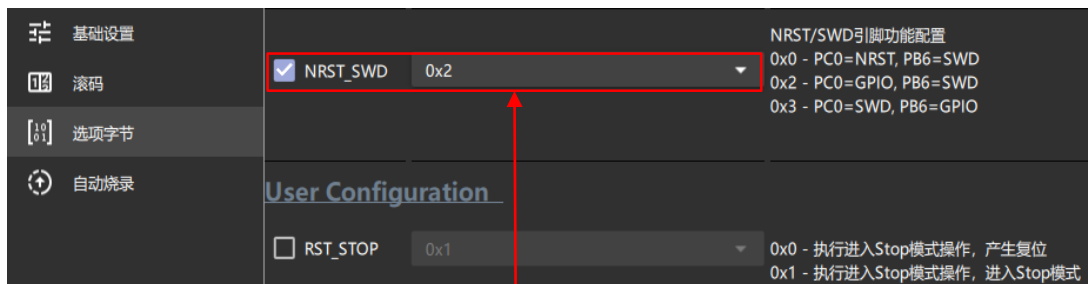
图 3-2 SWD 配置为 GPIO 预留时间时序



3.2. NRST 配置为 GPIO 设计建议

如果需要在应用中将 NRST 配置为 GPIO，考虑到量产环境供电不一定稳定，在上电时通过程序修改选项字节的过程中如果异常掉电可能导致异常发生，为确保生产可靠性，建议通过离线编程器的选项字节配置功能将 CIU32F003 的复位引脚（NRST）配置为 GPIO，而不要在程序里去修改选项字节配置。

图 3-3 离线编程器 NRST 配置为 GPIO

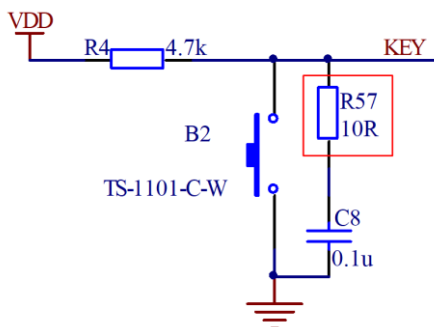


将复位引脚配置为 GPIO

3.3. 按键电路设计注意事项

方案设计中，如按键需要通过长排线引出到板外，因长排线等效电感较大，按键过程中，与退耦电容容易形成 LC 振荡产生负压脉冲，为避免此情况，建议在按键的退耦电容串入电阻，如下图所示：

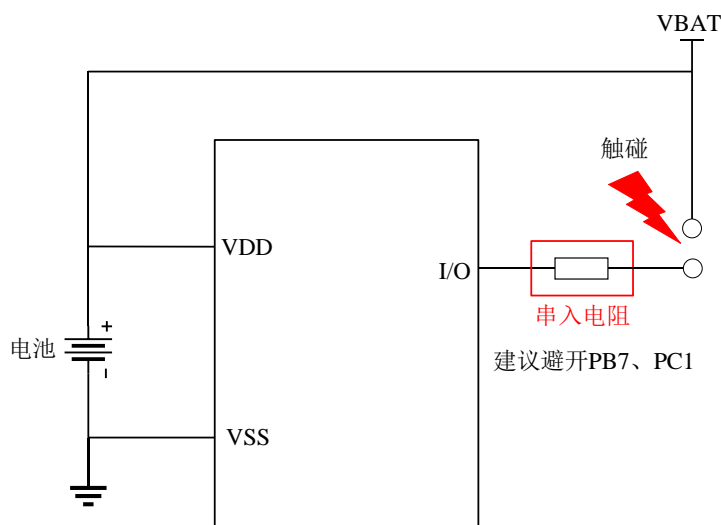
图 3-4 退耦电容串入电阻避免按键负压



3.4. I/O 与 VBAT 连接注意事项

电池供电的方案设计中，与 VBAT 直连的 I/O 建议避开 PB7、PC1 两个引脚，因为电池正极以触碰的方式接触 I/O（如电池焊接过程或 I/O 通过按键连接 VBAT），会产生超过 I/O 承受电压范围的过压振铃信号，该过压振铃信号施加在这两个 I/O 上易产生 Latch Up。在避开上述两个 I/O 的前提下，如果条件允许，建议在与电池正极连接的 I/O 上串联电阻，进一步加强防护。

图 3-5 I/O 直连 VBAT 注意事项示意

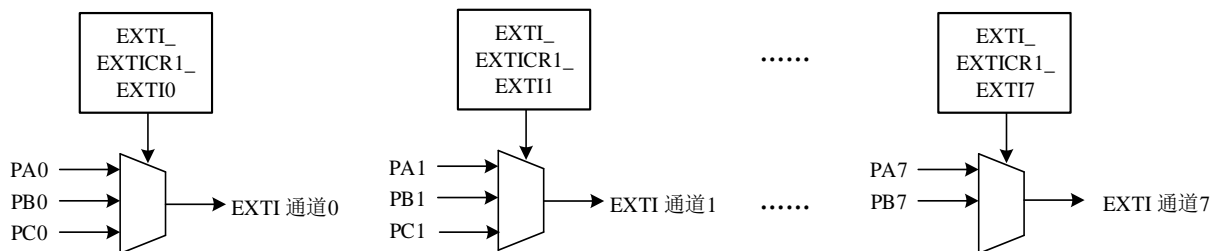


3.5. GPIO 中断资源分配注意事项

由于存在多路 GPIO 共享一路 EXTI 中断的情况，因此电路设计时应避免在同一 EXTI 通道上分配多路 GPIO 中断，否则仅能选择一路 GPIO 中断有效。

如下图：PA0、PB0、PC0，硬件设计上只能选择一路 GPIO 分配 EXTI0 中断功能。

图 3-6 EXTI 多路复用器



4. 软件设计指南

4.1. ADC 使用注意事项

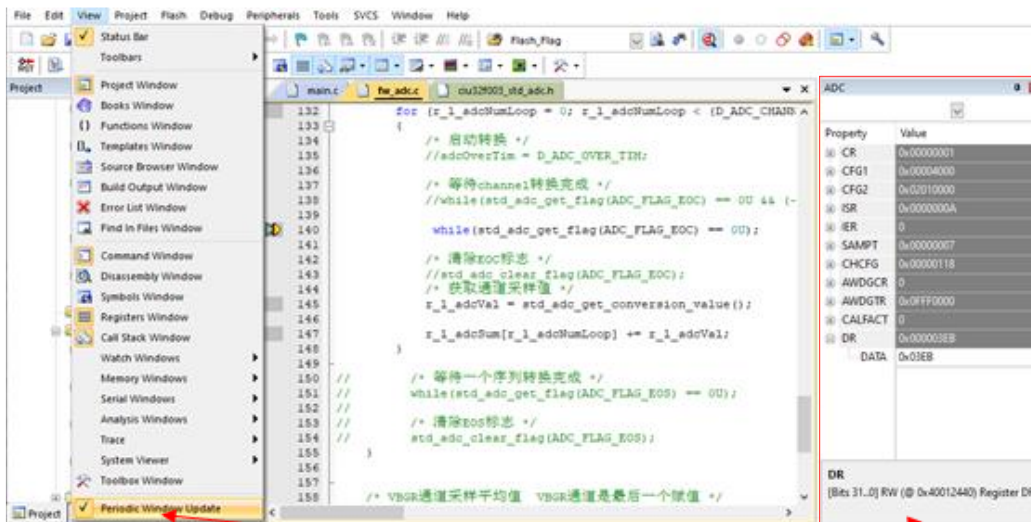
4.1.1. Debug 调试注意事项

在使用仿真器调试 ADC 功能时，如果打开了 ADC 外设观察窗口的同时又开启了周期更新窗口功能，调试内核会周期性读取 ADC 数据寄存器，导致 EOC 被调试内核清除掉了，程序执行出现非预期的现象如：

- 程序在启动 ADC 转换后无法读取到 EOC 标志。
- 程序设置了 ADC 通道序列转换和自动等待模式，可能丢失转换的 ADC 通道数。

建议在 Debug 模式下启动 ADC 转换时不要同时打开 ADC 外设观察窗口和开启周期更新窗口功能，以避免 EOC 被调试内核非预期的清除掉，如果要观察 ADC 转换数据，可以通过程序设置变量来读取 ADC 数据寄存器，通过观察变量来反映 ADC 转换数据。

图 4-1 ADC 调试注意事项示意



不可使用实时更新功能观察ADC外设窗口

4.1.2. 使用 V_{BGR} 计算 V_{DD} 电压时的注意事项

MCU 内部带隙基准电压 (BGR, 典型电压 0.8V) 可作为 ADC 的内部输入通道，当 ADC 使用 V_{DD} 作为参考电压时，可通过采集 V_{BGR} 来计算 V_{DD} 电压，具体步骤参见产品参考手册“内部带隙基准电压检测”章节。使用此方法时有以下注意事项：

- 使能 ADC 内部输入通道 V_{BGR} 时，需根据数据手册 ADC 内部通道 VBGR Buffer 启动时间 (t_{ADC_BUF}) 最大值设置延时时长以确保通道稳定，等待通道稳定。

图 4-2 使能 V_{BGR} 内部通道后延时等待通道稳定

```
/* 使能通道VBGR */  
std_adc_internal_channel_vbgr_enable();  
  
/* 等待内部BGR通道启动稳定，ADC_VBGR_CHANNEL_DELAY值可参考数据手册(tADC_BUF参数) */  
std_delayus(ADC_VBGR_CHANNEL_DELAY);
```

- 根据数据手册中 ADC 测量内部通道 V_{BGR} 的采样时间 (t_{SAMP}) 要求，ADC 采样时长应至少大于 t_{SAMP_Min} ，当 ADC 采样时钟为 16MHz 时，建议 CIU32F003 采样周期配置为 239CLK(14.938 μ s)。

4.2. 低功耗优化设计建议

为降低产品整机的待机功耗，建议按照以下步骤对整机功耗进行优化：

- 1、 检查 MCU 与外设连接的 I/O，避免存在 MCU 的 I/O 电平与外设不匹配，或上下拉配置不合理导致的漏电。
- 2、 方案设计中未用到的空余 I/O，建议保持默认模拟状态，切勿配置为无上下拉的输入模式，避免 I/O 处于中间电平导致静态功耗增加。
- 3、 ADC 在 Stop 模式下虽然无法工作，但仍会产生功耗，应该进入 Stop 前，关闭这些外设。如果 ADC 使能了内部采集通道，如 BGR，还需要在进入 Stop 前关闭这些通道。

4.3. IAP Loader 设计建议

在 RDP1 条件下，User Flash 前 4KB 空间仅允许取指和读取，不可擦写，如果用户需在 RDP1 条件下通过 IAP Loader 更新程序，需要将用户程序的起始地址设置在前 4KB 之后。

图 4-3 RDP1 下 User Flash 操作注意

RDP 1:

● 从 User flash 启动

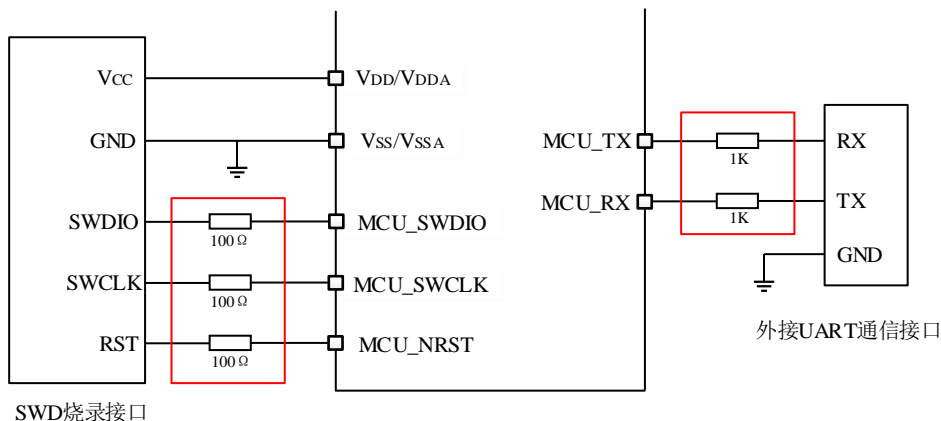
- User flash 前 4KB: 允许取指、读取
- User flash 4KB 后: 允许取指、读取、编程、擦除
- Option bytes 区: 允许读取、擦除、编程
- Engineer 区: 允许读取

5. ESD 防护设计指南

5.1. 对外接口防护建议

方案设计中，对于对外暴露可能接触静电的 I/O 接口，如 SWD 烧录接口，与板外通信的 UART 接口以及显示屏驱动接口等，建议在 I/O 与板级对外接口之间串联电阻，避免接口带电热拔插或静电引入过压冲击影响芯片 I/O。串联电阻的阻值在不影响功能的前提下应尽量大，SWD 烧录接口建议串联电阻的阻值为 100Ω。

图 5-1 对外接口串联电阻示意

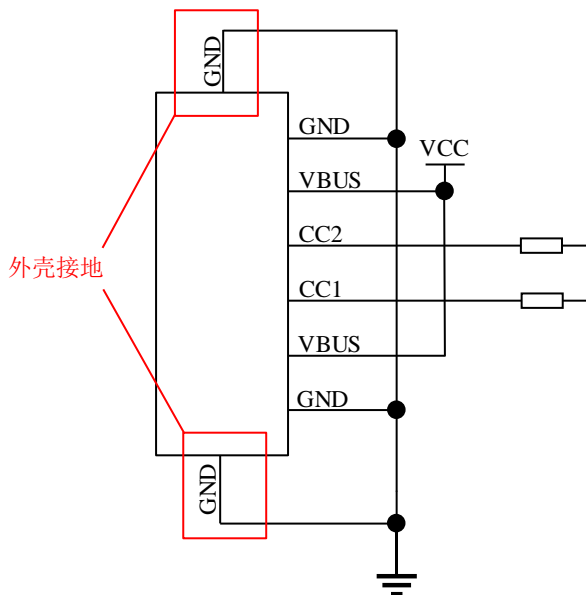


5.2. USB（Type C）供电接口设计建议

对于使用 USB（Type C）接口供电或充电的设备，当 USB（Type C）接口的金属外壳不与 PCB 的 GND 连接时，可能会因为静电通过其金属外壳对板级形成电弧放电，从而导致电路故障。因此建议在 PCB 设计时，将 USB（TypeC）外

壳做接地处理。这是较为规范的做法，可较大幅度的提升板级产品的抗干扰能力。

图 5-2 TypeC 接口外壳接地示意



6. 生产注意事项

6.1. 选项字节配置注意事项

参考手册的选项字节寄存器章节中给出了 MCU 选项字节的出厂默认值，用户可根据需要对选项字节进行配置。操作选项字节过程中如果发生异常掉电，会导致芯片选项字节正反码校验错误使得选项字节修改失败。

开发调试阶段如果需要通过代码配置选项字节，需注意务必要保证 MCU 的供电稳定，同时对于选项字节的修改应基于选项字节默认值，不可基于读取 Flash 的 Option Bytes 区数据进行修改，防止前次修改异常掉电后，Flash Option Bytes 区数据异常影响当次配置结果。

典型的异常示例如下：

- 用户期望在嵌入式代码中将芯片 NRST 引脚配置为 GPIO 使用，因此需将 FLASH_OPTR1 选项字节的 NRST_SWD_MODE[1:0] 位域配置为 10。

图 6-1 FLASH_OPTR1 寄存器 NRST_SWD_MODE 位域

14:13	NRST_SWD_MODE[1:0]	NRST/SWDIO 引脚功能选择
	0x:	PC0: NRST PB6: SWDIO
	10:	PC0: GPIO PB6: SWDIO
	11:	PC0: SWDIO PB6: GPIO

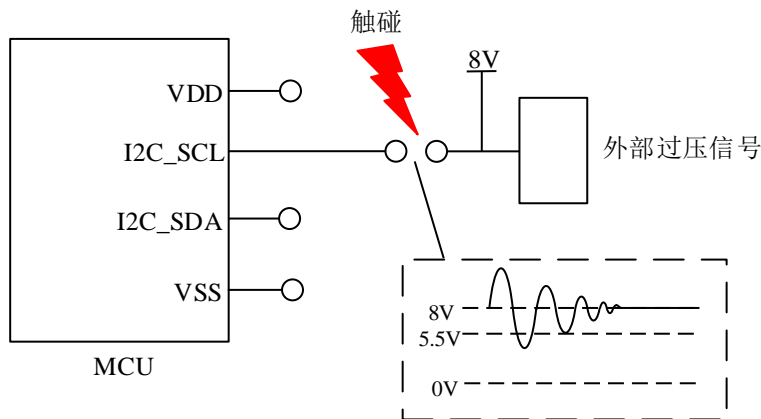
- 假设在擦写 Flash Option Bytes 区时发生异常掉电，再次上电时，Flash Option Bytes 区的数据被擦为 0xFFFFFFFF，此时因正反码校验错误，选项字节寄存器加载默认值。
- 如果用户基于读取 Flash Option Bytes 区的数据来对 FLASH_OPTR1 进行修改，此时读取到的 FLASH_OPTR1 值为 0xFFFF。对应 NRST_SWD_MODE 位域值为“11”，用户使用“10”进行“或”赋值，即“10|11”，仍为“11”，就将 PC0 配置为了 SWDIO。
- 进一步用户在代码中将 PC0 按照 GPIO 进行配置，导致芯片的 SWDIO 被配置为 GPIO，从而使得芯片无法再次烧录。

建议使用离线烧录设备在批量生产阶段进行选项字节的配置，可最大限度避免此情况的发生。

6.2. 避免过高电压触碰 I/O

实际生产装配及测试过程中，如果装配环境或测试工装上的过压信号（超过 5.5V）误碰到芯片 I/O，所产生的振铃信号会远超过芯片 I/O 所能承受的电压范围，因此在装配与测试等环节，应注意规避此类情况，以避免影响生产良率。。

图 6-2 过压触碰场景示意



7. 版本历史

表 7-1 版本更改履历

日期	版本号	修改范围
2026-04-15	V1.0	初版