

ARM Cortex-M0+ 32-bit MCU, 24 KB Flash, 3 KB SRAM, SPI, Timers, ADC,
2xCOMP, 1.8-5.5V
数据手册

产品特性

- 48MHz Cortex-M0+ 32-bit CPU
 - 支持单周期乘法指令
- 多达 24KB Flash, 3KB SRAM
- 灵活的功耗管理模式
 - Sleep、Stop、Deepstop 多种低功耗模式
- 电源监测：支持 BOR
- 时钟源
 - 内部高速时钟：48MHz，全温度变化小于 $\pm 2\%$
 - 内部低功耗低速时钟：32KHz
 - 外部时钟输入
- 多达 18 个 I/O
 - 所有 I/O 均可作为外部中断
 - 驱动电流可达 20mA
- 定时器
 - 1 个 16-bit 高级定时器，可输出 4 路 PWM 或 3 路互补 PWM，支持硬件死区插入和断路输入
 - 1 个 16-bit 通用定时器，可输出 4 路 PWM 或捕获 2 路输入信号，支持霍尔传感器
 - 1 个 16-bit 低功耗定时器，支持 Deepstop 和 Stop 唤醒
 - 1 个 24-bit SysTick
 - 1 个独立看门狗：IWDG
- 通信接口
 - 1 个 SPI，主模式最高速率 24Mbps，从模式最高速率 16Mbps
- 12 位 1 Msps 高精度 SAR ADC，可测量高输出阻抗信号
 - 8 个外部通道
 - 1 个内部通道，采集 BGR 基准电压，可校准 V_{DDA} 参考电压
- 2 个低功耗比较器，可运行在 Deepstop 或 Stop 模式
- 硬件 CRC-16/32 模块
- 96-bit unique ID
- 支持 SWD 调试
- 工作电压：1.8V~5.5V
- 工作温度：-40°C~85°C
- 封装形式：QFN20

声 明

本手册的版权属北京中电华大电子设计有限责任公司所有。任何未经授权对本手册进行复印、印刷、出版发行的行为，都将被视为是对北京中电华大电子设计有限责任公司版权的侵害。北京中电华大电子设计有限责任公司保留对此行为诉诸法律的权利。

北京中电华大电子设计有限责任公司保留未经通知用户对本手册内容进行修改的权利。虽然我们已核对本手册的内容，但是差错有时候难以完全避免，所以，我们会对手册的内容进行定期的审查，并在下一版的文件中作必要的修改。建议您在最终设计前从华大电子获取本文档的最新版本。

目录

产品特性.....	1
1 简介	5
2 产品描述	6
3 引脚分配与功能描述	7
3.1 引脚分配图.....	7
3.2 引脚功能描述.....	8
4 电气特性	12
4.1 测试条件.....	12
4.2 最小和最大数值.....	12
4.3 典型数值.....	12
4.4 绝对最大额定值.....	12
4.5 工作条件.....	13
4.5.1 通用工作条件	13
4.5.2 上电/下电的工作条件.....	14
4.5.3 内嵌复位和电源控制模块特性	14
4.5.4 内置参考电压	14
4.5.5 供电电流特性	15
4.5.6 低功耗唤醒时间	16
4.5.7 外部时钟源特性	16
4.5.8 内部时钟源特性	17
4.5.9 Flash 存储器特性.....	18
4.5.10 EMC 特性.....	18
4.5.11 ESD 特性	18
4.5.12 I/O 端口特性	19
4.5.13 NRST 输入特性	20
4.5.14 ADC 特性	21
4.5.15 COMP 特性.....	23
4.5.16 SPI 特性.....	23
5 封装信息	26
5.1 QFN20 封装信息	26
5.2 丝印说明.....	27
6 订购信息	28
7 版本历史	29



8	联系方式	30
---	------------	----

表目录

表 2-1	CIU32D655 特性和外设资源统计	6
表 3-1	引脚分配和功能描述.....	8
表 3-2	端口复用功能映射.....	10
表 4-1	电压特性 ⁽¹⁾	12
表 4-2	电流特性.....	13
表 4-3	温度特性.....	13
表 4-4	通用工作条件.....	13
表 4-5	上电/下电的工作条件.....	14
表 4-6	内嵌复位和电源控制模块特性.....	14
表 4-7	内置参考电压.....	14
表 4-8	Run 模式工作电流	15
表 4-9	Sleep 模式工作电流.....	15
表 4-10	Stop 模式工作电流	16
表 4-11	Deepstop 模式工作电流.....	16
表 4-12	低功耗唤醒时间 ⁽¹⁾	16
表 4-13	外部输入时钟特性 ⁽¹⁾	16
表 4-14	内部 RCH 时钟特性	17
表 4-15	内部 RCL 时钟特性.....	17
表 4-16	Flash 存储器特性 ⁽¹⁾	18
表 4-17	EMC 特性 ⁽¹⁾	18
表 4-18	ESD 特性 ⁽¹⁾	18
表 4-19	Latch-up 特性 ⁽¹⁾	18
表 4-20	输入特性.....	19
表 4-21	输出特性 ⁽¹⁾	19
表 4-22	AC 特性 ⁽¹⁾	19
表 4-23	NRST 输入特性 ⁽¹⁾	20
表 4-24	ADC 特性 ⁽¹⁾	21
表 4-25	采样时间与输入信号阻抗 ⁽¹⁾⁽²⁾	22
表 4-26	ADC 精度 ⁽¹⁾⁽²⁾	22
表 4-27	COMP 特性 ⁽¹⁾	23
表 4-28	SPI 特性 ⁽¹⁾	23
表 5-1	QFN20 (3 x 3 x 0.55 - 0.4 mm) 封装外形尺寸数据	26
表 7-1	版本更改履历.....	29

图目录

图 3-1	CIU32D655F5U6-QFN20 引脚分配.....	7
图 4-1	复位引脚推荐电路.....	21
图 4-2	SPI 从模式时序图 (CPHA =0) ⁽¹⁾	24
图 4-3	SPI 从模式时序图 (CPHA =1) ⁽¹⁾	24
图 4-4	SPI 主模式时序图 ⁽¹⁾	25
图 5-1	QFN20 (3 x 3 x 0.55 - 0.4mm) 封装外形	26
图 5-2	QFN20 封装丝印信息说明.....	27

1 简介

CIU32D655 系列 MCU 基于 ARM Cortex-M0+内核，最高频率可达 48MHz，具有多达 24K bytes Flash、3K bytes SRAM，支持 QFN20 封装。内部集成 1Msps ADC、2 个低功耗比较器、最高速率可达 24Mbps 的 SPI、多种定时器等丰富的外设资源。

2 产品描述

CIU32D655 系列 MCU 具有多达 24K bytes Flash、3K bytes SRAM，以及丰富外设资源，提供 QFN20 封装。

表 2-1 CIU32D655 特性和外设资源统计

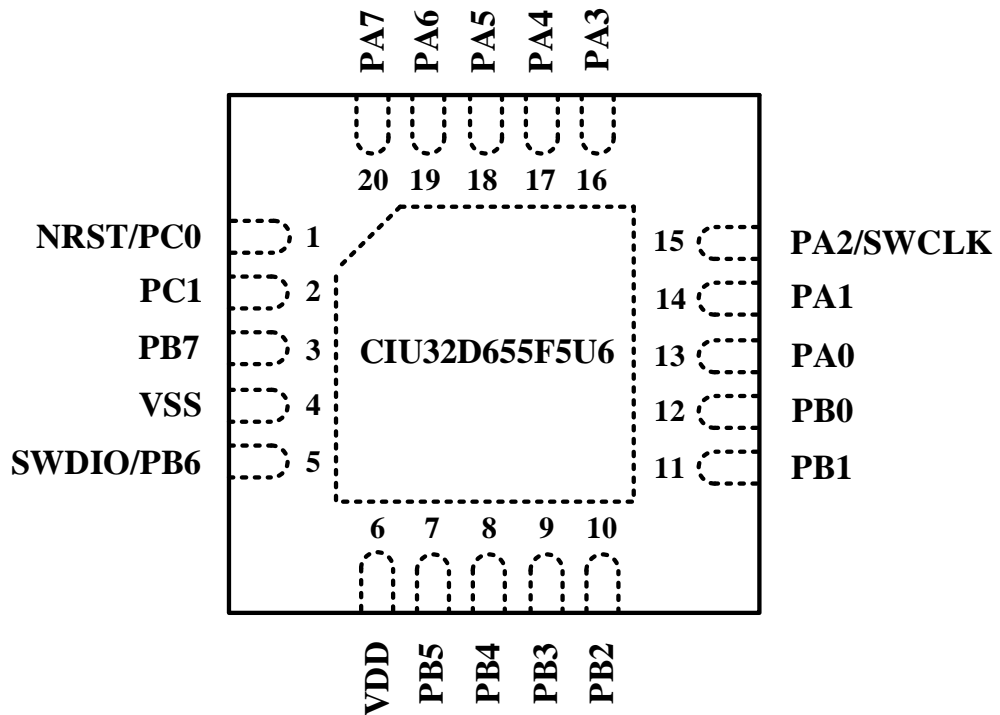
外设		CIU32D655
		F5U6
封装		QFN20
Flash(Kbytes)		24
SRAM(Kbytes)		3
CPU		Cortex-M0+ 内核
		频率最高为 48MHz
定时器	高级定时器	1（16 位）
	通用定时器	1（16 位）
	LPTIM	1（16 位）
	PWM	8 路
	SysTick	1
	IWDG	1
通信接口	SPI	1
CRC		√
GPIOs		18
12 位 ADC 通道数量		8 路外部 +1 路内部
COMP		2

3 引脚分配与功能描述

3.1 引脚分配图

本芯片支持 QFN20 封装，引脚分配见下图所示。

图 3-1 CIU32D655F5U6-QFN20 引脚分配



3.2 引脚功能描述

表 3-1 引脚分配和功能描述

引脚编号 QFN20	引脚名称	引脚类型	附加功能	复用功能
18	PA5	I/O	-	TIM1_CH2 TIM3_CH1
19	PA6	I/O	ADC_IN3	SPI1_NSS TIM3_CH3 SPI1_SCK
20	PA7	I/O	ADC_IN4	SPI1_MOSI TIM3_CH2 MCO
1	PC0	I/O	NRST ⁽¹⁾	SWDIO
2	PC1	I/O	EXTCLK	SPI1_MISO TIM1_CH2 TIM3_CH1
3	PB7	I/O	-	SPI1_MOSI TIM1_CH1N TIM1_CH2N TIM1_CH4
4	VSS	G	-	-
5	PB6	I/O	ADC_IN6	SWDIO SPI1_MISO MCO
6	VDD	P	-	-
7	PB5	I/O	-	SPI1_NSS TIM1_CH3N TIM3_CH3
8	PB4	I/O	-	TIM1_BKIN TIM3_CH4
9	PB3	I/O	ADC_IN5	TIM1_CH1N COMP1_OUT
10	PB2	I/O	-	SPI1_SCK TIM1_CH1 TIM1_CH1N

引脚编号	引脚名称	引脚类型	附加功能	复用功能
QFN20				
				TIM1_CH3
11	PB1	I/O	ADC_IN0 COMP1_INM COMP1_INP	SPI1_NSS TIM1_CH1N TIM1_CH2N TIM1_CH4 MCO
12	PB0	I/O	ADC_IN7 COMP1_INP	SPI1_SCK TIM1_CH2 TIM3_CH1
13	PA0	I/O	-	SPI1_MOSI TIM1_CH1 TIM3_CH1 TIM1_CH2N TIM1_CH3N
14	PA1	I/O	-	SPI1_MISO TIM1_CH2 TIM1_CH3
15	PA2	I/O	-	SWCLK COMP1_OUT COMP2_OUT
16	PA3	I/O	ADC_IN1 COMP2_INP	TIM1_CH3N TIM3_CH3
17	PA4	I/O	ADC_IN2 COMP2_INM COMP2_INP	TIM1_CH2N TIM3_CH2

1. 根据选项字节配置决定，上电复位时 PC0 默认为 NRST 功能。

表 3-2 端口复用功能映射

PORT	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	SPI1_MOSI	-	TIM1_CH1	TIM3_CH1	TIM1_CH2N	TIM1_CH3N	-	-
PA1	SPI1_MISO	-	TIM1_CH2	-	TIM1_CH3	-	-	-
PA2	SWCLK	-	-	-	COMP1_OUT	-	-	COMP2_OUT
PA3	-	-	TIM1_CH3N	TIM3_CH3	-	-	-	-
PA4	-	-	TIM1_CH2N	TIM3_CH2	-	-	-	-
PA5	-	-	TIM1_CH2	TIM3_CH1	-	-	-	-
PA6	SPI1_NSS	-	-	TIM3_CH3	SPI1_SCK	-	-	-
PA7	SPI1_MOSI	-	-	TIM3_CH2	-	-	MCO	-
PB0	SPI1_SCK	-	TIM1_CH2	TIM3_CH1	-	-	-	-
PB1	SPI1_NSS	-	TIM1_CH1N	TIM1_CH2N	TIM1_CH4	-	MCO	-
PB2	SPI1_SCK	-	TIM1_CH1	TIM1_CH1N	TIM1_CH3	-	-	-
PB3	-	-	TIM1_CH1N	-	COMP1_OUT	-	-	-
PB4	-	-	TIM1_BKIN	TIM3_CH4	-	-	-	-
PB5	SPI1_NSS	-	TIM1_CH3N	TIM3_CH3	-	-	-	-

PORT	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB6	SWDIO	-	-	-	SPI1_MISO	-	-	MCO
PB7	SPI1_MOSI	-	TIM1_CH1N	TIM1_CH2N	TIM1_CH4	-	-	-
PC0	SWDIO	-	-	-	-	-	-	-
PC1	SPI1_MISO	-	TIM1_CH2	TIM3_CH1	-	-	-	-

4 电气特性

4.1 测试条件

除特别说明，所有电压均以 V_{SS} 为基准。

TBD 表示要定义的数据。

4.2 最小和最大数值

除特别说明，通过在生产线上对 100% 的产品在环境温度 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_{A\text{max}}$ 下执行测试（ $T_{A\text{max}}$ 与选定的温度范围匹配），所有最小和最大值可在最坏的环境温度、供电电压和时钟条件下得到保证。

在每个表格下方的注解中，说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大数值是通过样本测试后，取其平均值再加减三倍的标准分布（平均 $\pm 3\sigma$ ）得到。

4.3 典型数值

除特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=3.3\text{V}$ （ $1.8\text{V}\leq V_{DD}\leq 5.5\text{V}$ ）环境测试。

4.4 绝对最大额定值

加在器件上的载荷如果超过下表（电压、电流、温度）所给出的值，可能会导致器件永久性地损坏。这里只是给出可承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性⁽¹⁾

符号	描述	Min	Max	Unit
$V_{DD}-V_{SS}$	外部供电电压	-0.3	5.8	V
$V_{DDA}-V_{SS}$	外部模拟供电电压	-0.3	5.8	V
V_{IN}	引脚输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{DD}+0.3$	V

1. 所有的电源（ V_{DD} 、 V_{DDA} ）和地（ V_{SS} 、 V_{SSA} ）引脚，必须连接到允许电压范围的外部电源。
2. 须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值信息，参见 [表：电流特性](#)。

表 4-2 电流特性

符号	描述	Max	Unit
$I_{VDD/VDDA}$	流入 V_{DD}/V_{DDA} 电源线的总电流 ⁽¹⁾	100	mA
$I_{VSS/VSSA}$	流出 V_{SS}/V_{SSA} 地线的总电流 ⁽¹⁾	100	
$I_{IO(PIN)}^{(2)}$	I/O 和控制引脚输出灌电流	20	
	I/O 和控制引脚输出拉电流	20	
$I_{INJ(PIN)}^{(3)}$	I/O 注入电流	-5/5	
$\Sigma I_{INJ(PIN)} ^{(4)}$	所有I/O引脚上的总注入电流	25	

1. 所有的电源 (V_{DD} 、 V_{DDA}) 和地 (V_{SS} 、 V_{SSA}) 引脚，必须连接到允许电压范围的外部电源。
2. I/O 和控制引脚输出灌电流和拉电流分别是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{DD}=5\text{V}$ ， $V_{OL}=V_{SS}+0.6\text{V}$ 和 $V_{OH}=V_{DD}-0.6\text{V}$ 时的最大电流。
3. 当 $V_{IN}>V_{DD}$ 时，会产生正向注入电流；当 $V_{IN}<V_{SS}$ 时，产生的反向注入电流。应限制在 $I_{INJ(PIN)}$ 范围内。
4. 当多个输入同时存在注入电流时， $\Sigma|I_{INJ(PIN)}|$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

表 4-3 温度特性

符号	描述	Value	Unit
T_{STG}	储存温度范围	-60 ~ + 150	$^{\circ}\text{C}$
T_J	最大结温度	105	$^{\circ}\text{C}$

4.5 工作条件

4.5.1 通用工作条件

表 4-4 通用工作条件

符号	描述	条件	Min	Max	Unit
f_{HCLK}	内部 AHB 时钟频率	-	0	48	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	0	48	
f_{PCLK2}	内部 APB2 时钟频率	-	0	48	
V_{DD}	数字部分工作电压	-	1.8	5.5	V
V_{DDA}	模拟部分工作电压	-	1.8	5.5	
T_A	环境温度范围	-	-40	85	$^{\circ}\text{C}$
T_J	结温度范围	-	-40	105	$^{\circ}\text{C}$

4.5.2 上电/下电的工作条件

表 4-5 上电/下电的工作条件

符号	描述	条件	Min	Max	Unit
t _{VDD}	V _{DD} 上电/下电速率	V _{DD} 上升	0	∞	μs/V
		V _{DD} 下降	60	∞	

4.5.3 内嵌复位和电源控制模块特性

表 4-6 内嵌复位和电源控制模块特性

符号	描述	条件	Min	Typ	Max	Unit
V _{POR}	上电复位阈值	-	-	1.66	-	V
V _{PDR}	掉电复位阈值	-	-	1.56	-	
V _{BOR0}	欠压复位阈值 0	V _{DD} 上升	-	1.99	-	
		V _{DD} 下降	-	1.90	-	
V _{BOR1}	欠压复位阈值 1	V _{DD} 上升	-	2.39	-	
		V _{DD} 下降	-	2.30	-	
V _{BOR2}	欠压复位阈值 2	V _{DD} 上升	-	2.79	-	
		V _{DD} 下降	-	2.70	-	
V _{BOR3}	欠压复位阈值 3	V _{DD} 上升	-	3.23	-	
		V _{DD} 下降	-	3.11	-	
V _{hyst_POR}	V _{POR} 的迟滞电压		-	100	-	mV
V _{hyst_BOR}	V _{BORx} 的迟滞电压		-	100	-	mV
I _{DD(BOR)}	BOR 功耗		-	0.3	-	μA

4.5.4 内置参考电压

表 4-7 内置参考电压

符号	描述	条件	Min	Typ	Max	Unit
V _{BGR}	内置参考电压	-40°C~85°C	0.784	0.8	0.816	V
t _{SAMP} ⁽¹⁾⁽²⁾	ADC 测量内部通道 V _{BGR} 的采样时间	-	12	-	-	μs
t _{ADC_BUF} ⁽¹⁾⁽²⁾	ADC 内部通道 V _{BGR} Buffer 的启动时间	-	-	22	60	μs

1. 设计保证，不在生产中测试。

2. 使能 ADC 内部通道 V_{BGR} 需等待启动稳定时间 t_{ADC_BUF} , ADC 测量内部通道 V_{BGR} 的采样时间至少为 t_{SAMP} 。

4.5.5 供电电流特性

供电电流特性是多种参数和因素的综合指标,包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 引脚的翻转速度、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件:

- 所有的 I/O 引脚均处于模拟模式。
- 所有的外设均处于关闭状态,除特别说明。
- Flash 的读访问时间,根据 f_{HCLK} 的频率做相应调整(0~24MHz 时为 0 个等待周期,24~48MHz 时为 1 个等待周期)。
- 当开启外设时: $f_{PCLK} = f_{HCLK}$ 。

表 4-8 Run 模式工作电流

符号	描述	条件 ⁽¹⁾				Typ	Unit
		模式	时钟源	f_{HCLK}	运行区域		
$I_{DD(Run)}$	Run 模式工作电流	所有外设时钟 OFF, CPU 从 Flash 取指, While (1)	RCH 不分频	48MHz	Flash	1.52	mA
			RCH 1/3 分频	16MHz		0.94	
			RCH 1/6 分频	8MHz		0.9	
		所有外设时钟 ON, CPU 从 Flash 取指, While (1)	RCH 不分频	48MHz	Flash	2.12	

1. 测试条件: $V_{DD} = 3.3V$, $T_A = 25^{\circ}C$ 。

表 4-9 Sleep 模式工作电流

符号	描述	条件 ⁽¹⁾				Typ	Unit
		模式	时钟源	f_{HCLK}	运行区域		
$I_{DD(Sleep)}$	Sleep 模式工作电流	所有外设时钟 OFF	RCL 时钟源	32KHz	Flash	221	μA
			RCH 不分频	48MHz		670	
			RCH 1/6 分频	8MHz		480	

1. 测试条件: $V_{DD} = 3.3V$, $T_A = 25^{\circ}C$ 。

表 4-10 Stop 模式工作电流

符号	描述	条件 ⁽¹⁾		Typ	Unit
		模式	V _{DD}		
I _{DD(Stop)}	Stop 模式工作电流	所有外设时钟 OFF	3.3V	220	μA

1. 测试条件：T_A=25°C。

表 4-11 Deepstop 模式工作电流

符号	描述	条件 ⁽¹⁾		Typ	Unit
		模式	V _{DD}		
I _{DD(Deepstop)}	Deepstop 模式工作电流	所有外设时钟 OFF	3.3V	5.23	μA

1. 测试条件：T_A=25°C。

4.5.6 低功耗唤醒时间

唤醒时间是事件与执行用户程序的第一条指令之间的延迟时间。

表 4-12 低功耗唤醒时间⁽¹⁾

符号	描述	条件	Typ	Unit
t _{WUSLEEP}	Sleep 模式唤醒时间	程序运行在 Flash HCLK = RCH = 48MHz	12	CPU cycles
t _{WUSTOP}	Stop 模式的事件唤醒时间	程序运行在 Flash	2.91	μs
t _{WUDEEPSTOP}	DeepStop 模式的事件唤醒时间	程序运行在 Flash	12.68	
		程序运行在 SRAM	5.75	

1. 由综合评估得出。

4.5.7 外部时钟源特性

外部时钟直接输入。

表 4-13 外部输入时钟特性⁽¹⁾

符号	描述	Min	Typ	Max	Unit
F _{EXTCLK}	外部高速时钟（EXTCLK）频率	-	-	24	MHz
V _{EXTCLKH}	EXTCLK 输入引脚的高电压	0.7 V _{DD}	-	V _{DD}	V
V _{EXTCLKL}	EXTCLK 输入引脚的低电压	V _{SS}	-	0.3 V _{DD}	

1. 设计保证，不在生产中测试。

4.5.8 内部时钟源特性

RCH (48MHz)

表 4-14 内部 RCH 时钟特性

符号	描述	条件	Min	Typ	Max	Unit
f_{RCH}	振荡频率	-	-	48	-	MHz
$\Delta Temp_{(RCH)}$	RCH 频率温度漂移	$V_{DD}=1.8V\sim 5.5V$ $T_A=0^{\circ}C\sim 60^{\circ}C$	-1	-	1	%
		$V_{DD}=1.8V\sim 5.5V$ $T_A=-40^{\circ}C\sim 85^{\circ}C$	-2	-	2	
$I_{DD(RCH)}^{(1)}$	RCH 电流功耗	-	-	225	-	μA
$Duty_{(RCH)}^{(2)}$	占空比	-	45	-	55	%
$t_{SU(RCH)}^{(1)}$	启动时间	-	-	1	-	μs
$t_{STAB(RCH)}^{(1)}$	稳定时间	-	-	0.12	-	μs

1. 由综合评估得出。
2. 设计保证，不在生产中测试。

RCL (32KHz)

表 4-15 内部 RCL 时钟特性

符号	描述	条件	Min	Typ	Max	Unit
f_{RCL}	振荡频率	-	-	32	-	KHz
$\Delta Temp_{(RCL)}$	RCL 频率温度漂移	$V_{DD}=1.8V\sim 5.5V$ $T_A=25^{\circ}C$	-5	-	5	%
		$V_{DD}=1.8V\sim 5.5V$ $T_A=-40^{\circ}C\sim 85^{\circ}C$	-15	-	15	
$I_{DD(RCL)}^{(1)}$	RCL 电流功耗	-	-	125	-	nA
$Duty_{(RCL)}^{(2)}$	占空比	-	-	50	-	%
$t_{SU(RCL)} + t_{STAB(RCL)}^{(1)}$	启动稳定时间	-	-	70	-	μs

1. 由综合评估得出。
2. 设计保证，不在生产中测试。

4.5.9 Flash 存储器特性

表 4-16 Flash 存储器特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
t_{PROG}	编程时间（字）	-	-	50	-	μs
t_{ERASE}	擦除时间	页擦除	-	2.5	-	ms
		批量擦除	-	35	-	ms
EC_{Flash}	擦写次数	$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	100000	-	-	cycles
RET_{Flash}	数据保存期限	$T_A = 85^\circ\text{C}$	25	-	-	years

1. 由综合评估得出。

4.5.10 EMC 特性

表 4-17 EMC 特性⁽¹⁾

符号	描述	条件	级别/类型
V_{FESD}	在任何 I/O 上施加的，导致功能错误的静电放电电压极限。	$T_A = 25^\circ\text{C}$ 符合 IEC 61000-4-2	4A
V_{EFTB}	在 V_{DD} 和 V_{SS} 上施加的，导致功能错误的瞬变脉冲群电压极限。	$T_A = 25^\circ\text{C}$ 符合 IEC 61000-4-4	5A

1. 由综合评估得出。

4.5.11 ESD 特性

表 4-18 ESD 特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
$V_{\text{ESD(HBM)}}$	人体模型	$T_A = 25^\circ\text{C}$ 符合 ESDA/JEDEC JS-001-2017	-	± 4000	-	V
$V_{\text{ESD(CDM)}}$	带电设备模型	$T_A = 25^\circ\text{C}$ 符合 ESDA/JEDEC JS-002-2018	-	± 2000	-	

1. 由综合评估得出。

表 4-19 Latch-up 特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
$I_{\text{Latch-up}}$	Latch-up 电流	$T_A = 25^\circ\text{C}$ 符合 JEDEC78E	-	± 300	-	mA

1. 由综合评估得出。

4.5.12 I/O 端口特性

表 4-20 输入特性

符号	描述	条件	Min	Typ	Max	Unit
$V_{IL}^{(1)}$	输入低电压	-	-	-	$0.3V_{DD}$	V
$V_{IH}^{(1)}$	输入高电压	-	$0.7V_{DD}$	-	-	
$V_{hys}^{(1)}$	施密特触发器 电压迟滞	-	-	320	-	mV
$I_{lk}^{(1)}$	输入漏电流	-	-	9.6	-	nA
$R_{PU}^{(2)}$	弱上拉等效电阻	$V_{IN} = V_{SS}$	27	48	80	k Ω
$R_{PD}^{(2)}$	弱下拉等效电阻	$V_{IN} = V_{DD}$	27	47	75	k Ω
$C_{IO}^{(2)}$	I/O 引脚电容	-	-	1.72	-	pF

1. 由综合评估得出。
2. 设计保证，不在生产中测试。

表 4-21 输出特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
$V_{OL}^{(2)}$	输出低电压	$ I_{IO} = 20mA$ $V_{DD} = 5V$	-	0.6	-	V
		$ I_{IO} = 8mA$ $V_{DD} = 3.3V$	-	0.32	-	
		$ I_{IO} = 12mA$ $V_{DD} = 3.3V$	-	0.5	-	
$V_{OH}^{(3)}$	输出高电压	$ I_{IO} = 20mA$ $V_{DD} = 5V$	-	$V_{DD}-0.6$	-	
		$ I_{IO} = 8mA$ $V_{DD} = 3.3V$	-	$V_{DD}-0.32$	-	
		$ I_{IO} = 12mA$ $V_{DD} = 3.3V$	-	$V_{DD}-0.5$	-	

1. 由综合评估得出。
2. I_{IO} 灌电流必须始终遵循表: 电流特性, 所列的绝对最大额定值, I_{IO} (I/O 端口和控制引脚) 的总和不得超过 $I_{VSS/VSSA}$ 。
3. I_{IO} 拉电流必须始终遵循表: 电流特性, 所列的绝对最大额定值, I_{IO} (I/O 端口和控制引脚) 的总和不得超过 $I_{VDD/VDDA}$ 。

表 4-22 AC 特性⁽¹⁾

符号	描述	条件	Min	Max	Unit
f_{MAX}	最大输出频率	$C=50pF$, $1.8V \leq V_{DD} < 2.7V$	-	10	MHz
		$C=50pF$, $2.7V \leq V_{DD} \leq 5.5V$	-	20	

符号	描述	条件	Min	Max	Unit
		$C=30\text{pF}$, $1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$		16	
		$C=30\text{pF}$, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	-	32	
T_r	上升时间	$C=50\text{pF}$, $1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	-	24.71	ns
		$C=50\text{pF}$, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	-	14.81	
		$C=30\text{pF}$, $1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	-	16.72	
		$C=30\text{pF}$, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	-	10.07	
T_f	下降时间	$C=50\text{pF}$, $1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	-	27.82	ns
		$C=50\text{pF}$, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	-	17.15	
		$C=30\text{pF}$, $1.8\text{V} \leq V_{\text{DD}} < 2.7\text{V}$	-	18.37	
		$C=30\text{pF}$, $2.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	-	11.25	

1. 设计保证，不在生产中测试。

4.5.13 NRST 输入特性

NRST 引脚内部连接了一个不可断开的内部上拉电阻，无需外接上拉电阻。

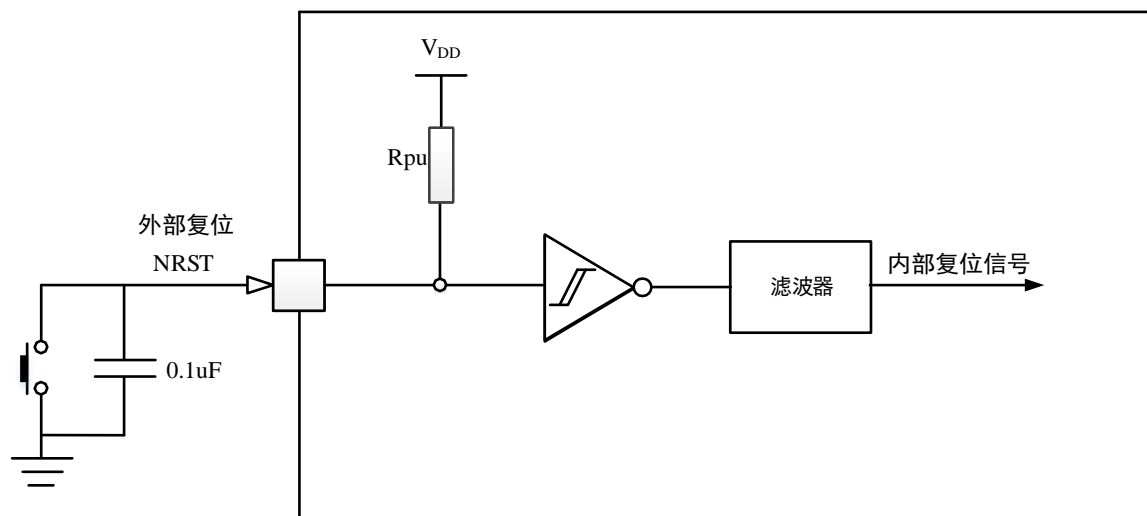
表 4-23 NRST 输入特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
$V_{\text{IL}}(\text{NRST})$	输入低电平电压	-	-	-	$0.3V_{\text{DD}}$	V
$V_{\text{IH}}(\text{NRST})$	输入高电平电压	-	$0.7V_{\text{DD}}$	-	-	
$V_{\text{hys}}(\text{NRST})$	施密特触发器电压迟滞	-	-	320	-	mV
R_{PU}	上拉等效电阻	$V_{\text{IN}}=V_{\text{SS}}$	6	10	18	k Ω
$T_{(\text{NRST})}^{(2)}$	滤波时间	$1.8\text{V} \leq V_{\text{DDA}} \leq 5.5\text{V}$	500	-	-	μs

1. 设计保证，不在生产中测试。

2. NRST 引脚上的低电平信号必须大于 500 μs ，才能使芯片复位。

图 4-1 复位引脚推荐电路



1. 该复位电路可保护 MCU，以避免噪声干扰引起的复位。
2. 用户必须确保 NRST 引脚上的电平可降至 I/O 输入特性表中指定的 V_{IL} 最大电平以下，否则不会执行复位。
3. 外部电容应尽可能接近复位引脚。

4.5.14 ADC 特性

表 4-24 ADC 特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
V_{DDA}	ADC 供电电压	-	1.8	-	5.5	V
V_{REF_ADC}	参考电压	-	1.8	-	V_{DDA}	V
f_{ADC_CK}	ADC 时钟频率	$2.2V < V_{DDA} \leq 5.5V$	0.3	-	16	MHz
		$1.8V \leq V_{DDA} \leq 2.2V$	0.3	-	8	
f_s	采样速率	12 bits	-	-	1	Msp/s
V_{AIN}	转换电压范围	-	V_{SSA}	-	V_{DDA}	V
R_s	输入开关等效阻抗	-	-	0.26	4.2	k Ω
C_{ADC}	内部采样和保持电容	-	-	8	-	pF
t_{STAB}	启动时间	-	-	-	1	μs
t_{CAL}	校准时间	-	130	-	-	$1/f_{ADC_CK}$
t_{SAMP}	采样时间	-	3	-	1919	$1/f_{ADC_CK}$
t_{CONV}	总的转换时间 (包括采样时间)	-	$t_{SAMP} + 13$			$1/f_{ADC_CK}$
$I_{DDA}^{(2)}$	功耗	$f_s = 1\text{Msp/s}$	-	320	-	μA

1. 设计保证，不在生产中测试。
2. 由综合评估得出。

表 4-25 采样时间与输入信号阻抗⁽¹⁾⁽²⁾

分辨率	采样周期 (16MHz)	采样时间 (16MHz) (μ s)	最大输入阻抗 R_{AIN} (k Ω)
12bits	3	0.188	2.6
	7	0.438	4.6
	12	0.75	10.5
	19	1.188	23
	39	2.438	31
	79	4.938	40
	119	7.438	50
	159	9.938	67
	239	14.938	84
	319	19.938	124
	479	29.938	182
	639	39.938	223
	959	59.938	320
	1279	79.938	645
	1919	119.938	850

- 由综合评估得出。
- 采用电阻分压调整输入信号电压范围时，可在满足功耗需求前提下，尽量选择小阻值电阻，减小输入信号阻抗。

表 4-26 ADC 精度⁽¹⁾⁽²⁾

符号	描述	条件	Min	Typ	Max	Unit
DNL	微分非线性	$V_{DDA} = V_{REF_ADC} = 3.3\text{ V};$ $f_s = 1\text{ Msps}; T_A = 25\text{ }^{\circ}\text{C}$	-1	-	1.5	LSB
INL	积分非线性		-3	-	3	LSB
SNR	信噪比	$V_{DDA} = V_{REF_ADC} = 3.3\text{ V};$ $f_s = 1\text{ Msps}; f_{IN} = 1\text{ KHz};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	63	-	dB
SINAD	信号噪声失真比		-	61	-	dB
THD	总谐波失真		-	-65	-	dB
ENOB	有效位数		-	9.8	-	bit

- 由综合评估得出。
- 为进一步提升采集精度，可采用出厂存储的补偿值对校准系数进行补偿，使用说明参见参考手册。

4.5.15 COMP 特性

表 4-27 COMP 特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
$V_{DDA(Comp)}$	供电电压	-	1.8	-	5.5	V
V_{IN}	COMP 输入电压	-	0	-	$V_{DDA}-1.1$	V
t_{START}	启动时间	-	-	0.11	0.44	μs
$V_{offset}^{(2)}$	失调电压	-	-6.8	4.3	7.3	mV
V_{hys}	迟滞	-	-	30	-	mV
t_D	传输延迟	-	-	0.14	-	μs
I_{COMP}	静态功耗	输出高电平	-	6.43	-	μA
		输出低电平	-	3.85	-	μA
I_{DAC}	16 级分压功耗	-	-	9.62	-	μA

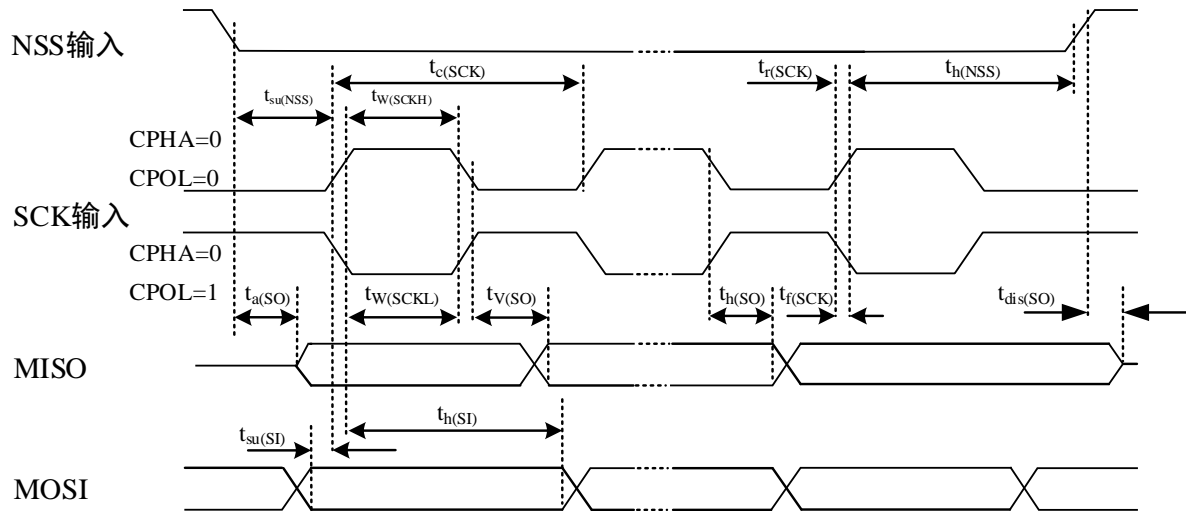
1. 由综合评估得出。
2. 设计保证，不在生产中测试。

4.5.16 SPI 特性

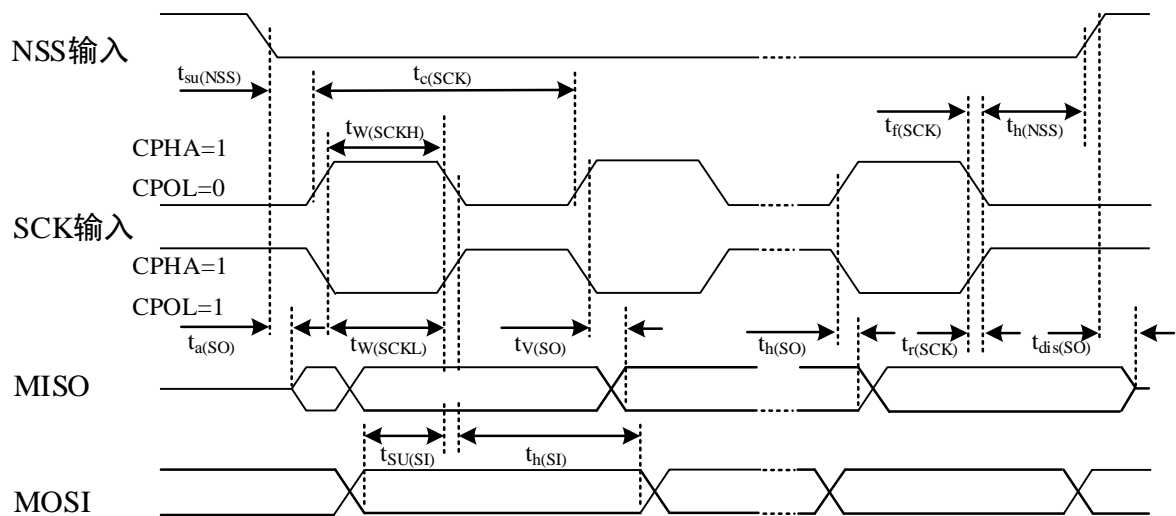
表 4-28 SPI 特性⁽¹⁾

符号	描述	条件	Min	Typ	Max	Unit
f_{SCK}	SPI 时钟频率	主模式	-	-	24	MHz
		从模式	-	-	16	MHz
$t_{SU(NSS)}$	NSS 建立时间	从模式	4.35	-	-	ns
$t_{H(NSS)}$	NSS 保持时间	从模式	3.02	-	-	ns
$t_{W(SCKH)}$	SCK 高电平时间	主模式	$T_{SCK}/2-1$	$T_{SCK}/2$	$T_{SCK}/2+1$	ns
$t_{W(SCKL)}$	SCK 低电平时间	主模式	$T_{SCK}/2-1$	$T_{SCK}/2$	$T_{SCK}/2+1$	ns
$t_{SU(MI)}$	输入数据的建立时间	主模式	-	-	4.09	ns
$t_{SU(SI)}$		从模式	1.98	-	-	ns
$t_{H(MI)}$	输入数据的保持时间	主模式	0	-	-	ns
$t_{H(SI)}$		从模式	9.7	-	-	ns
$t_{V(MO)}$	输出数据的有效时间	主模式	-	-	2.94	ns
$t_{V(SO)}$		从模式	-	-	20.97	ns
$t_{H(MO)}$	输出数据的保持时间	主模式	2.42	-	-	ns
$t_{H(SO)}$		从模式	22.38	-	-	ns

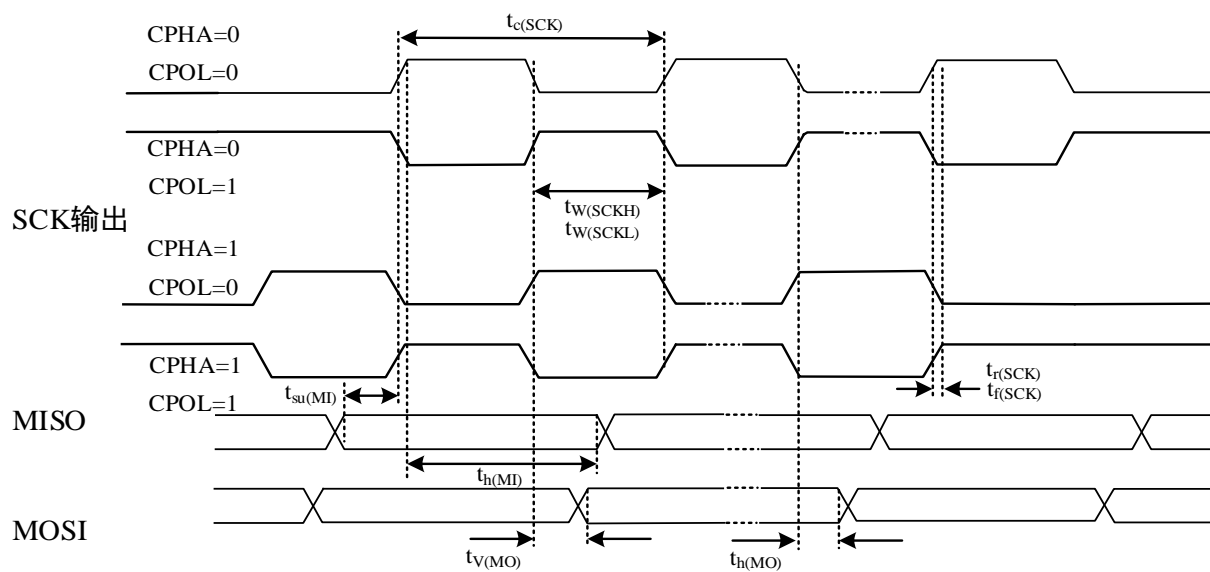
1. 设计保证，不在生产中测试。

图 4-2 SPI 从模式时序图 (CPHA=0) ⁽¹⁾

1. 在 0.3VDD 和 0.7VDD 电平处测试。

图 4-3 SPI 从模式时序图 (CPHA=1) ⁽¹⁾

1. 在 0.3VDD 和 0.7VDD 电平处测试。

图 4-4 SPI 主模式时序图⁽¹⁾


1. 在 0.3VDD 和 0.7VDD 电平处测试。

5 封装信息

CIU32D655 系列支持 QFN20 (3 x 3 x 0.55 - 0.4mm) 封装, 且符合 JEDEC 标准, 封装外形尺寸信息见本章节描述。

5.1 QFN20 封装信息

图 5-1 QFN20 (3 x 3 x 0.55 - 0.4mm) 封装外形

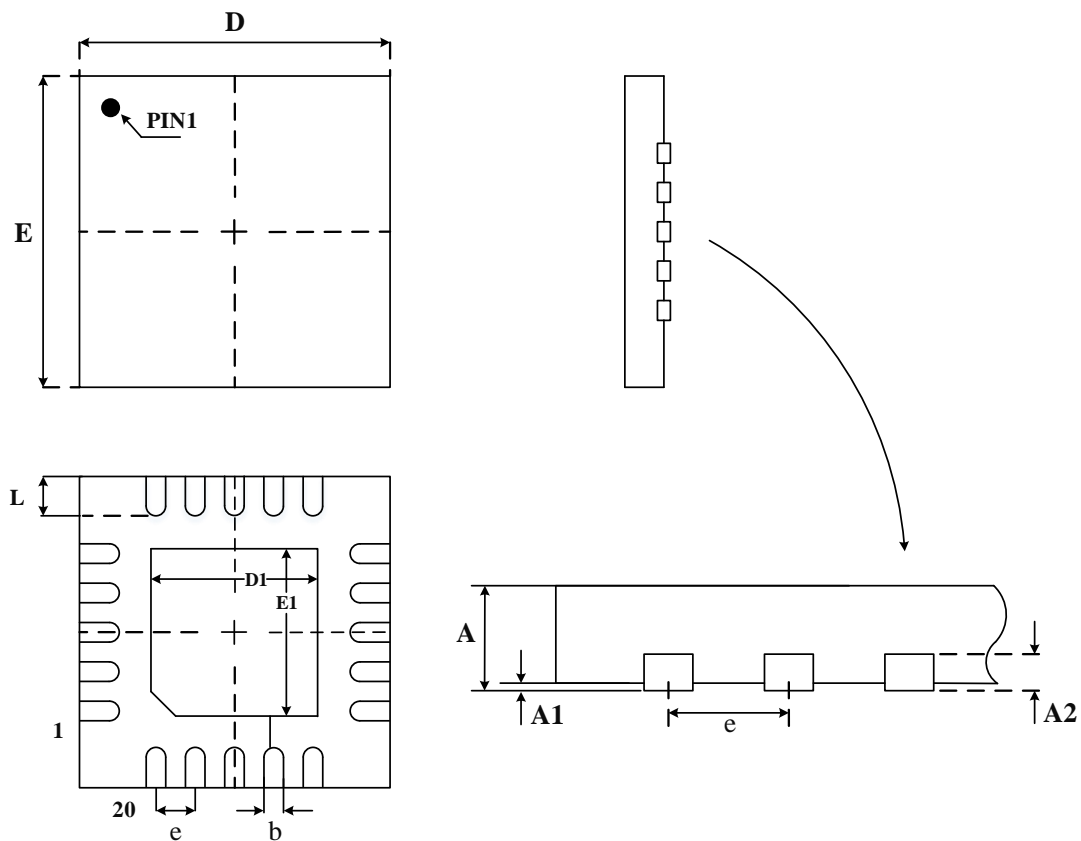


表 5-1 QFN20 (3 x 3 x 0.55 - 0.4 mm) 封装外形尺寸数据

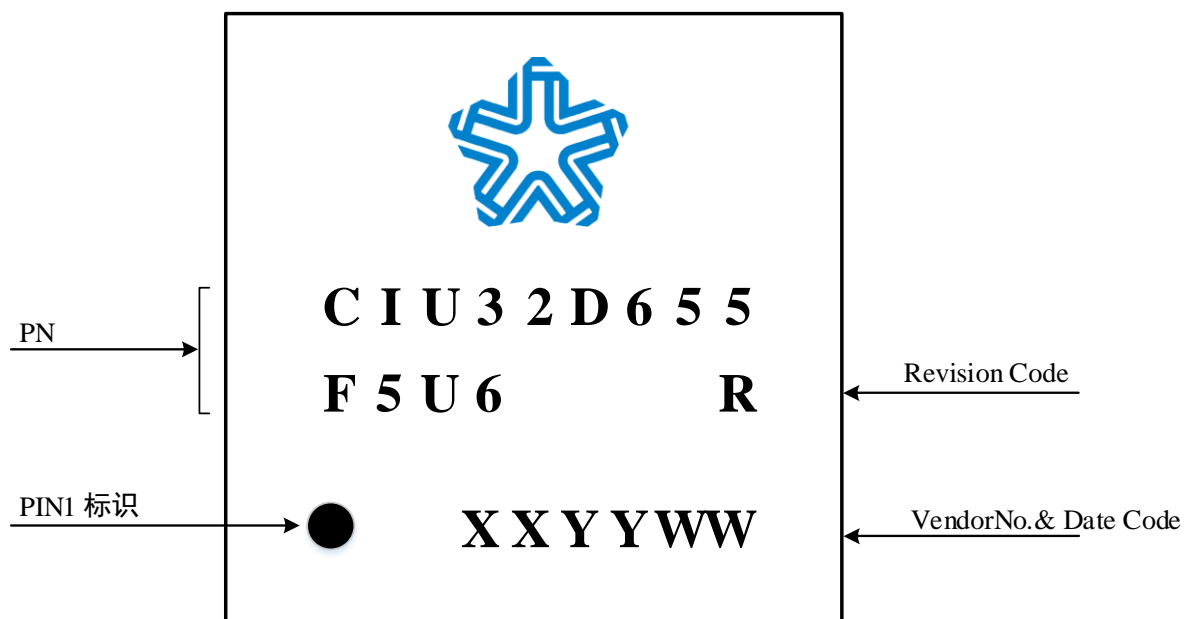
符号	Min	Typ	Max
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A2	0.152REF		
b	0.15	0.20	0.25
D	3.00BSC		
E	3.00BSC		
D1	1.60	1.70	1.80
E1	1.60	1.70	1.80

符号	Min	Typ	Max
e	0.40BSC		
L	0.25	0.30	0.35

5.2 丝印说明

CIU32D655 系列安全 MCU, 各封装正面丝印的 PIN1 引脚位置和信息说明如下:

图 5-2 QFN20 封装丝印信息说明



6 订购信息

	CIU	32	D	655	F	5	U	6	xx
CPU位宽									
32: 32bit									
产品类型									
D: 电子烟专用型									
产品子系列									
655: CIU32D655									
引脚数									
F: 20Pin									
Flash容量									
5: 24K									
封装类型									
U: QFN									
温度范围									
6: -40 ~ 85℃									
包装形式									
TR: 卷带									

7 版本历史

表 7-1 版本更改履历

日期	版本号	修改范围
2024-10-18	V1.0	初版

8 联系方式

网址: www.hed.com.cn

地址: 北京市昌平区北七家未来科技城南区中国电子网络安全和信息化产业基地 C 栋

邮编: 102209

如果您在购买与使用过程中有任何意见或建议, 请随时与我们联系。